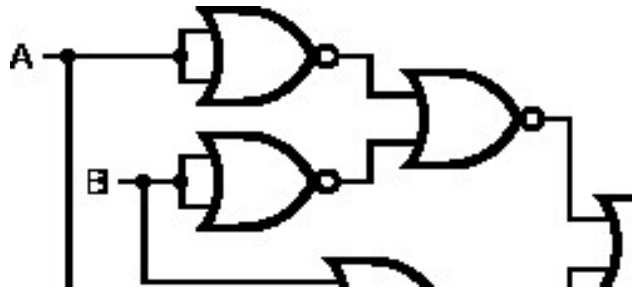




T.C.
MALATYA TURGUT ÖZAL ÜNİVERSİTESİ
MÜHENDİSLİK VE DOĞA BİLİMLERİ FAKÜLTESİ

ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ
BÖLÜMÜ

EEM 311 SAYISAL DEVRELER LABORATUVARI
DENEY FÖYÜ



Dr. Öğr. Üyesi Mehmet ÜSTÜNDAĞ
Arş. Gör. Muhammed Buğracan ÖZKÜÇÜK

2022-2023 Güz Dönemi

LABORATUVAR GÜVENLİK KLAVUZU

Laboratuvar ortamında çalışanların sağlık ve güvenliği ile yürütülen çalışmaların başarısı için temel güvenlik kurallarına uyulması büyük önem taşımaktadır. Bu sebeple aşağıda tanımlanan kurallara uyulması gerekmektedir.

- 13 mA'den büyük akım veya 40 V'dan büyük voltajlar insan sağlığı için tehlike arz etmektedir ve öldürücü etkisi vardır. Bu nedenle elektrik çarpmalarından korunmak için gerekli önlemleri alınız ve görevlilerin uyarılarına mutlaka uyunuz. Kaza ve yaralanmalar olduğu zaman görevliye derhal haber veriniz. Kazayı bildirmek için vakit geçirmeyiniz.
- Hasara uğramış veya çalışmayan alet ve cihazları derhal laboratuvar görevlisine bildirin.
- Herhangi bir nedenle hasar verdiğiniz tüm cihaz ve donanımlarının onarımı ya da yeniden alınma bedeli tarafınızdan karşılanacaktır. Cihazların üzerine kitap defter gibi ağır malzemeler yerleştirmeyiniz ve yerlerini değiştirmeyiniz.
- Multimetreleri ölçüm kademelerinin sınırı dışındaki akım veya gerilim kademelerinde çalıştırmayınız. Güç kaynaklarından düşük gerilim alınız.
- Laboratuvarların sessiz ve sakin ortamını bozacak yüksek sesle konuşmak, tartışma yapmak, başka grupların çalışmalarını engellemek, izin almadan laboratuvarı terk etmek, diğer gruplardan yardım almaya çalışmak ve laboratuvarında dolaşmak yasaktır.
- Laboratuvarlara yiyecek ve içecek sokmak yasaktır.
- Laboratuvarlarda cep telefonu kullanımı yasaktır.
- Çalışma esnasında saçlar uzun ise mutlaka toplanmalıdır.
- Çalışma bittikten sonra kullanılan cihazlar yerlerine konulmalıdır.
- Laboratuvarında çalıştığınız alanın temizliği sizin sorumluluğunuzdadır. Çalışmalar bittikten sonra gereken temizlik yapılmalıdır.
- Laboratuvardan çıkmadan önce masanın enerjisi kesilmelidir.

DİKKAT!

Laboratuvarında çalışan herkesin belirtilen kuralların tümüne uyması zorunludur. Bu kurallara uymayanlar laboratuvar sorumluları tarafından uyarılacak, gerekirse laboratuvardan süreli uzaklaştırma ile cezalandırılacaklardır. Laboratuvara kasıtlı olarak zarar verdiği tespit edilen kişiler laboratuvardan süresiz olarak uzaklaştırılacak ve verilen zarar tazmin ettirilecektir

Deney No:	1
Deney Adı:	Sayı Sistemleri

Sayı Sistemleri

Günlük hayatta onluk sayı sistemi kullanılmaktadır. Bu bölümde ise dijital elektronikte kullanılan ikili (Binary), Sekizlik (Octal), Onaltılık (Hexadesimal) sayı sistemleri açıklanacaktır.

Onluk Sistemleri

(0,1,2,3,4,5,6,7,8,9) rakamlarının kullanıldığı sayı sistemidir. Her sayı sistemi bir digit, rakam, bit olarak ifade edilir.

İkili Sayı Sistemleri

Dijital elektronikte en çok kullanılan sayı sistemidir. Sayı değeri oluşturmada 0 -1 rakamları kullanılır. Bunun nedeni elektronik devrelerinin çoğunu iki konumlu olarak çalıştırmak mümkün olmasıdır. “Gerilim vardır ya da yoktur”; “anahtar açıktır ya da kapalıdır”; “transistör iletimdedir ya da kesimdedir” gibi kesin iki konum vardır.. İkili (binary) sayı sisteminde “0” yokluğu ya da belli bir değere göre düşük değeri (LOW) ; “1” ise varlığı ya da yüksek değeri temsil etmektedir. Bu sayı sistemi kullanılarak tasarlanan sistemler basit ve güvenilir bir başka deyişle hata oranı en az seviyeye indirilmiş sistemlerdir. Yalnızca iki gerilim değişkeni kullanarak çalışan cihaz üretmek, on farklı gerilim durumu ile çalışan cihaz üretmekten daha kolaydır.

İkili sayı sistemlerinde taban 2’dir. 4 bitlik binary sayıda bit ağırlıkları: $2^3, 2^2, 2^1, 2^0$; 5 bitlik ikili tabanda ise : $2^4, 2^3, 2^2, 2^1, 2^0$. Bu sayı ağırlıklarında, bit ağırlığının en küçük olduğu bite “En Küçük Değerlikli Bit” (Least Significant Bit-LSB) , bit ağırlığının en yüksek olduğu bit ise “En Büyük Değerlikli Bit” (Most Significant Bit -MSB) denir.

5 Bitlik Sayı: $(1\ 1\ 0\ 1\ 1)_2$

MSB LSB

Sekizlik (Oktal) Sayı Sistemi :

0,1,2,3,4,5,6,7 sayılarını kullanan sayı sistemidir. 8 değişik durum vardır ve tabanı 8 dir.

Örnek:

$$(64)_8: 6 \times 8^1 + 4 \times 8^0 = 52$$

$$(64)_{10}: 1 \times 8^2 + 0 \times 8^1 + 0 \times 8^0$$

Onaltılık (Hexadecimal) Sayı Sistemi :

Onluk sayı sistemindeki rakamlar (0,1,2,3,4,5,6,7,8,9) ve A, B, C, D, E, F harfleri ile sembolize edilir.

Tablo 1.1. Onluk, ikilik ve onaltılık tabanda sayıların karşılıkları

Onluk Sayılar	İkilik Tabanda	Onaltılık Tabanda
0	0000	0
1	0001	1
2	0010	2
3	0011	3
4	0100	4
5	0101	5
6	0110	6
7	0111	7
8	1000	8
9	1001	9
10	1010	A
11	1011	B
12	1100	C
13	1101	D
14	1110	E
15	1111	F

KODLAR

Dijital elektronikte yapılan işlemleri kolaylaştırmak ve hata oranı azaltmak amacı ile kodlar kullanılır. Dijital sistemlerde kullanılması gereken en uygun üniteler, iki çalışma durumu bulunan elektronik devrelerle yapılan elektronik devrelerdir. Günlük hayatımızda en çok kullanılan sistemler onluk sistemdir. Bu nedenle bilgisayar verilerinin onluk sistemde olması gerekmektedir. Bundan başka bilginin gösterilmesinde ya da transferinde ikili olmayan bir sistemin tercih edilmesine neden olan, genellikle çok fazla fiziksel sınırlamaların varlığıdır. Bu sınırların aşılmasında kodların önemi büyüktür.

BCD Kod (Binary Coded Decimal – İkili Kodlu Onluk Kod)

Bu kod sistemi ikilik sayıların onluk sayılara çevrilmesinde kullanılan en basit kod sistemidir. Bu kod sisteminde verilen onluk sayının her bir rakamının ikilik karşılığı bulunur. Bulunan 4 bitlik ikilik sayılar yan yana yazılarak, verilen onluk sayının BCD kodunda ikili sayılarla ifade edilen karşılığı elde edilir.

Örnek :

Onluk = 9
BCD = 1001

Onluk = 1 0
BCD = 0001 0000

Onluk = 7 2 3
BCD = 0111 0010 0011

Tablo 1.2. Onluk tabandaki sayıların BCD karşılıkları

<i>Onluk Tabanda</i>	<i>BCD</i>	<i>Onluk Tabanda</i>	<i>BCD</i>
0	0000	10	0001 0000
1	0001	11	0001 0001
2	0010	12	0001 0010
3	0011	13	0001 0011
4	0100	14	0001 0100
5	0101	15	0001 0101
6	0110	16	0001 0110
7	0111	17	0001 0111
8	1000	18	0001 1000
9	1001	19	0001 1001

Oktal Kod :

Bu kod sistemi sekizlik sayılar, 3 bitlik sayılarla ifade edilirler. Bu kod sistemi dijital sistemlerde giriş ve çıkış uygulamasında kullanılmaktadır.

Örnek:

4 2 4 3 7 1 0 5
100 010 100 011 111 001 000 101

Tablo 1.3. Onluk tabandaki sayıların oktal kod karşılıkları

<i>Onluk Tabanda</i>	<i>Oktal Kod</i>
0	000
1	001
2	010
3	011
4	100
5	101
6	110
7	111

Oktal kod ile sekizlik tabanda sayının onluk tabanda karşılığı kolayca bulunabilir.

Örnek :

$$(46)_8 = (100 110)_2 = (1 \times 32 + 0 \times 16 + 0 \times 8 + 1 \times 4 + 1 \times 2 + 0 \times 0)_{10} = (38)_{10}$$

Hexadesimal Kodu

Bu kod sisteminde onaltılık tabandaki sayılar, 4 bitlik ikilik tabanda sayılar ile ifade edilir. Bu kodsistemi de oktal kod gibi dijital sistemlerde giriş ve çıkış bilgilerinin kodlanmasında kullanılır.

Örnek:

9 3 E F
BCD = 1001 0011 1110 1111

Tablo 1.4. Hexadesimal kodlu sayı tablosu

<i>Sayı</i>	<i>Hexadesimal Kodu</i>	<i>Sayı</i>	<i>Hexadecimal Kodu</i>
0	0000	8	1000
1	0001	9	1001
2	0010	A	1010
3	0011	B	1011
4	0100	C	1100
5	0101	D	1101
6	0110	E	1110
7	0111	F	1111

Hexadesimal kodu ile onaltılık tabandaki sayının ikilik, sekizlik ve onluk tabandaki karşılığı kolaylıkla bulunabilir.

Örnek:

$$(4B)_{16} = (0100\ 1011)_2$$

$$(01001011)_2 = (0 \times 128 + 1 \times 64 + 0 \times 32 + 0 \times 16 + 1 \times 8 + 0 \times 4 + 1 \times 2 + 1 \times 1)_{10} = (75)_{10}$$

3 Fazlalık Kodu:

3 fazlalık kodu, BCD kodlarının her birine 3 ün ikilik tabanda karşılığı olan $(0011)_2$ sayısının eklenmesi ile elde edilir.

Tablo 1.5. BCD ve üç fazlalık kod tablosu

<i>Decimal</i>	<i>BCD</i>	<i>Fazlalık</i>
0	0000	0011
1	0001	0100
2	0010	0101
3	0011	0110
4	0100	0111
5	0101	1000
6	0110	1001
7	0111	1010
8	1000	1011
9	1001	1100

Hata Düzeltme (Parity) Kodu :

Dijital Sinyallerin iletilmesinde hat üzerindeki olumsuz etkilerden dolayı sinyalde bir takım bozulmalar oluşabilir. Bu bozulmalar bazı sistemlerde engellenemez fakat en aza indirilmelidir. Bu nedenle bozulan sinyalin telafisi ve gönderilmek istenen bilginin doğru algılanması için hata kontrol kodları geliştirilmiştir. Parity Kodunda 4 bitlik BCD kodunun yanına bir hata kontrol biti (Parity biti) eklenmiştir. Eklenen bu bitin iki çeşidi vardır.

Çift Pariti biti: Gönderilen BCD sayısındaki “1” bitlerinin adedi çift ise Parity biti “0” ; tek ise “1” dir.

Tek Pariti biti: Gönderilen BCD sayısındaki “1” bitlerinin adedi çift ise Parity biti “1” ; tek ise “0” dir.

Tablo 1.6. Tek parity ve çift parity kodu

<i>Onluk</i>	<i>BCD</i>	<i>Tek Parity</i>	<i>Onluk</i>	<i>BCD</i>	<i>Çift Parity</i>
0	0000	00001	0	0000	00000
1	0001	00010	1	0001	00011
2	0010	00100	2	0010	00101
3	0011	00111	3	0011	00110
4	0100	01000	4	0100	01001
5	0101	01011	5	0101	01010
6	0110	01101	6	0110	01100
7	0111	01110	7	0111	01111
8	1000	10000	8	1000	10001
9	1001	10010	9	1001	10010

Gray Kodu

Bu kodda, kod bir sayıdan diğer bir sayıya ilerlerken sadece bir biti değişir.

Tablo 1.7. BCD ve gray kodu sayı tablosu

<i>Desimal</i>	<i>Binary</i>	<i>Gray Kodu</i>	<i>Desimal</i>	<i>Binary</i>	<i>Gray Kodu</i>
0	0000	0000	8	1000	1100
1	0001	0001	9	1001	1101
2	0010	0011	10	1010	1111
3	0011	0010	11	1011	1110
4	0100	0110	12	1100	1010
5	0101	0111	13	1101	1011
6	0110	0101	14	1110	1001
7	0111	0100	15	1111	1000

Alfanümerik Kodlar

Hem harflerden hem de sayılardan oluşan kodlardır. Alfanümerik kodlar; dijital sistemlerde harf, sayıve işaretlerle işlem yapılmasına olanak tanıyan standart kodlardır. İkiye ayrılır:

EBCDIC (Extended Binary Coded Decimal Interchange Code-Genişletilmiş BCD Değişim Kodu)

ASCII (American Standart Code for Information Interchange – Amerikan Standart Birliği Bilgi DeğişimKodu)

Deney No:	2
Deney Adı:	Lojik Kapılar (VE/VEYA/DEĞİL)

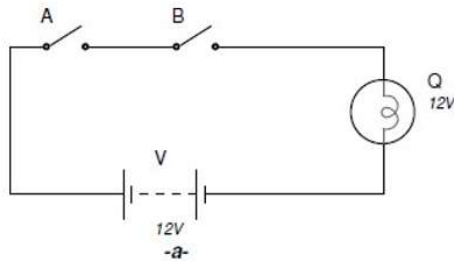
Teorik Bilgi:

MANTIK KAPILARI

Mantık kapıları, dijital devrelerinin yapıtaşlarıdır. Kapı devreleri ikilik tabanda işlem yaparlar. Girişlerindeki "yüksek" seviye (HIGH) "1" olarak, "alçak" seviye (LOW) ise "0" olarak tanımlanır.

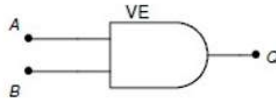
VE KAPISI (AND GATE)

Elektriksel eş değer devresinde görüldüğü gibi lambanın yanabilmesi için A ve B anahtarlarının kapalı durumda olması gerekir. Burada anahtarın kapalı durumu "1" seviyesi; açık konumu ise "0" seviyesi olarak tanımlanır. (A=1 ve B=1). AND kapısının girişlerinden herhangi biri "0" seviyesinde olduğunda da çıkış "0" seviyesinde kalacaktır. Her iki giriş "1" olduğunda çıkış (Q) seviyesi "1" seviyesine ulaşacaktır.



A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

-b-



-c-

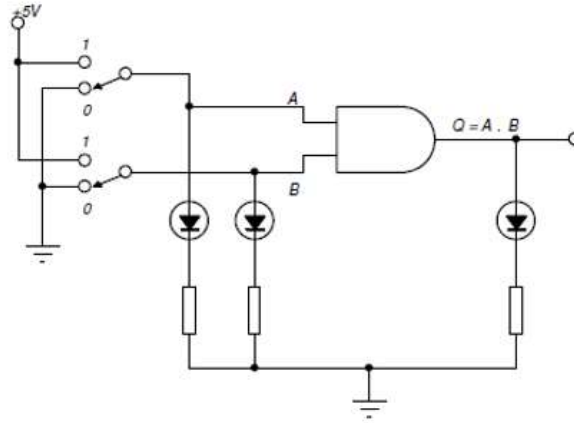
$$Q = A.B$$

-d-

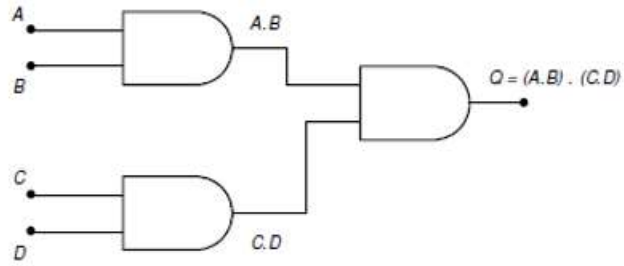
Şekil 2.1. VE kapısı a) Elektriksel eşdeğer devresi b) Doğruluk tablosu c) Sembolü d) Boolean eşitliği

Deney Yapılışı

1. Şekil 2.2. deki devreyi ($Q=A.B$ işlemi) kurunuz.
2. Doğruluk tablosundaki giriş değerlerini, anahtar yardımıyla AND kapısı girişine uygulayınız.
3. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyiniz.
4. $Q=(A.B) . (C.D)$ işlemini gerçekleştirmek için Şekil 2.3'te gösterilen devrenin bağlantılarını kurunuz. Tablo 2.1 de verilen giriş değerlerine göre çıkıştaki seviyeleri tabloya yazınız.



Şekil 2.2. $Q=(A.B)$ işlemi devresi



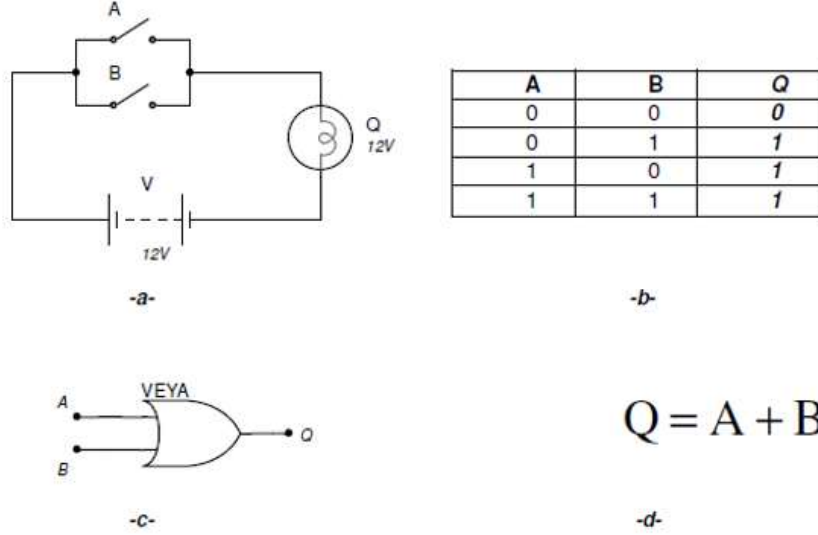
Şekil 2.3. $Q=(A.B).(C.D)$ işlemi devresi

Tablo2.1. $Q=(A.B)(C.D)$ işlemi devresi doğruluk tablosu

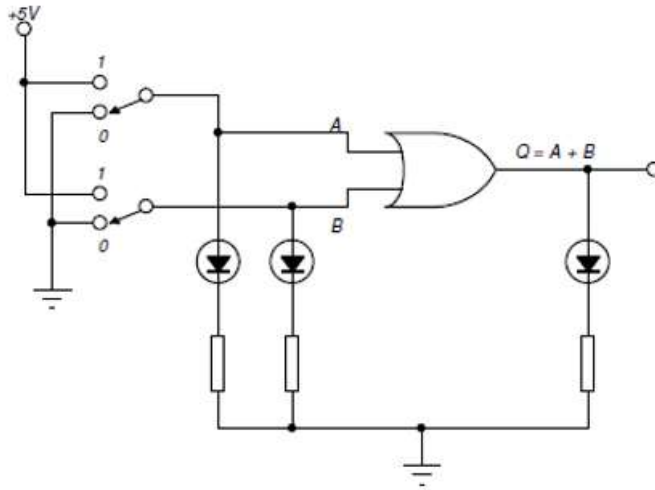
A	B	C	D	Q
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

VEYA KAPISI (OR GATE)

Girişlerinden herhangi biri "1" seviyesinde olduğunda çıkışını "1" seviyesine getiren kapıdır. Elektriksel eşdeğer devresinde de görüldüğü gibi 2 girişli bir OR kapısının girişleri birbirine paralel bağlanmış 2 anahtar olarak düşünülebilir. Entegrelerde ise bu anahtarlar yerine, anahtarlama görevi görecek yarı iletken teknolojisi kullanılır.



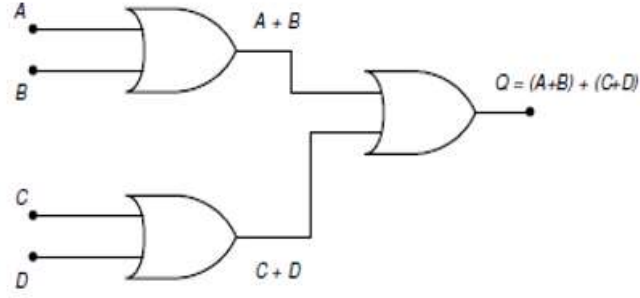
Şekil 2.4. VEYA kapısı a) Elektriksel eşdeğer devresi b) Doğruluk tablosu c) Sembolü d) Boolean eşitliği



Şekil 2.5. VEYA (Q=A+B) İşlemi devresi

Deney Yapılışı

1. Şekil 2.5. teki devreyi kurunuz.
2. Doğruluk tablosundaki giriş değerlerini, anahtar yardımıyla OR kapısı girişine uygulayınız.
3. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyiniz.



Şekil 2.6. $Q=(A+B)+(C+D)$ İşlemi devresi

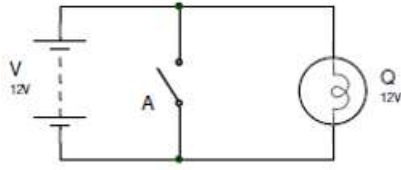
4. Şekil $Q=(A+B) + (C+D)$ işlemini gerçekleştirmek için Şekil 2.6'daki devreyi kurunuz. Giriş değerlerine göre çıkıştaki seviyeleri tabloda 2.2'ye yazınız.

Tablo 2.2. $Q=(A+B) + (C+D)$ İşlemi devresi doğruluk tablosu

A	B	C	D	Q
0	0	0	0	
0	0	0	1	
0	0	1	0	
0	0	1	1	
0	1	0	0	
0	1	0	1	
0	1	1	0	
0	1	1	1	
1	0	0	0	
1	0	0	1	
1	0	1	0	
1	0	1	1	
1	1	0	0	
1	1	0	1	
1	1	1	0	
1	1	1	1	

DEĞİL KAPISI (NOT GATE)

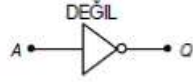
NOT kapısı evirici (Invertor) ya da Değilleyici olarak da adlandırılır. NOT kapısı girişindeki "1" veya "0" seviyesinin "değilini" çıkışta oluşturur. Girişte "1" seviyesi var ise kapı çıkışında "0" ; girişte "0" seviyesi var ise, çıkışta "1" seviyesi oluşur.



-a-

A	Q
0	1
1	0

-b-

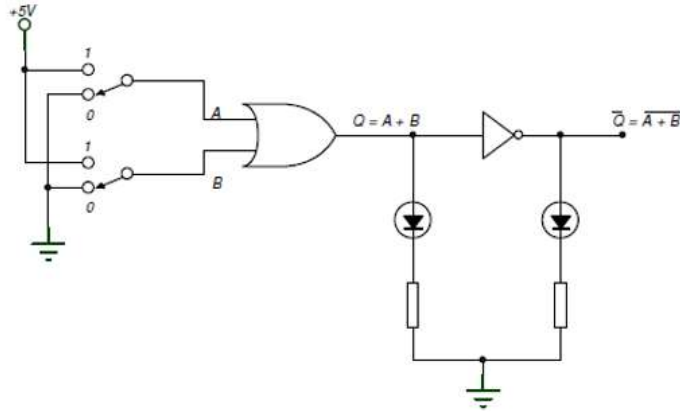


-c-

$$Q = \bar{A}$$

-d-

Şekil 2.7. DEĞİL kapısı a) Elektriksel eşdeğer devresi b) Doğruluk tablosu c) Sembolü d) Boolean eşitliği



Şekil 2.8. DEĞİL kapısı devresi

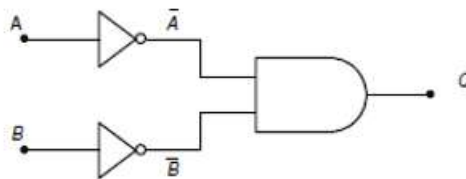
Deney Yapılışı

1. Şekil 2.8'deki devreyi kurunuz.
2. Tablo 2.3 deki giriş değerlerini, anahtarlar yardımıyla devreye uygulayın. Q ve $Q̄$ çıkışlarının lojik değerlerini kaydediniz. LED'lerin durumunu kontrol ediniz.

Tablo 2.3. DEĞİL kapısı deneyi

A	B	Q	$Q̄$
0	0		
0	1		
1	0		
1	1		

3. Şekil 2.9 daki devreyi kurun. Q çıkışının eşitliğini bularak, lojik giriş değerlerinin olasılıklarına göre, çıkışı gözlemleyiniz



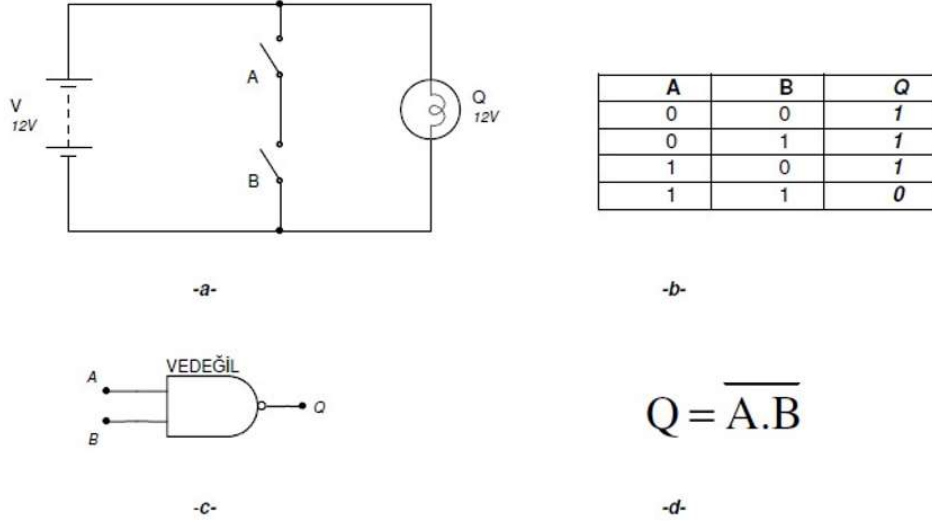
Şekil 2.9. DEĞİL kapısı deneyi

Deney No:	3
Deney Adı:	Lojik Kapılar

Teorik Bilgi:

VE DEĞİL KAPISI (NAND GATE)

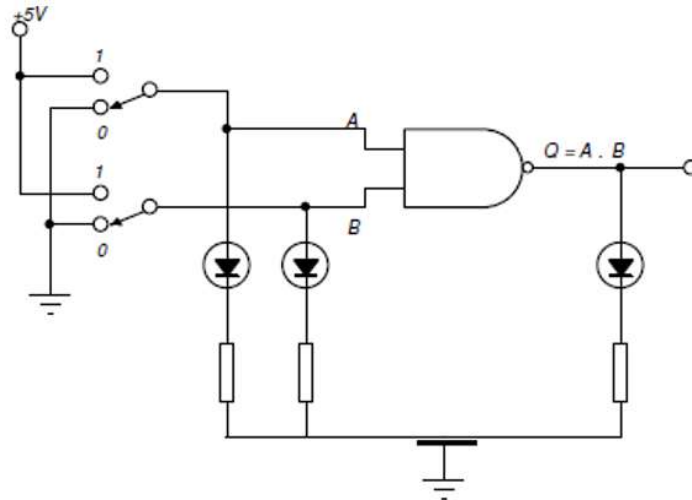
NAND kapısında, sadece A ve B girişlerinin, her ikisi de "1" (anahtarlar kapalı) olduğunda çıkış "0" seviyesinde olur. Diğer durumlarda çıkış "1" seviyesindedir.



Şekil 3.1. VEDEĞİL kapısı a) Elektriksel eşdeğer devresi b) Doğruluk tablosu c) Sembolü d) Boolean eşitliği

Deney Yapılışı

1. Şekil 3.2'deki devreyi kurunuz.
2. Doğruluk tablosundaki giriş değerlerini, anahtarlar yardımıyla NAND kapısı girişine uygulayınız.
3. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyiniz.



Şekil 3.2. VEDEĞİL kapısı devresi

4. Sadece NAND kapıları ile OR kapısı tasarlayınız.
5. $Q = (A \cdot B)^{-}$ eşitliğini sağlayan devreyi kurunuz. Tablo 3.1'deki giriş değerlerine göre çıkış lojik seviyelerini tabloya kaydediniz. Lojik eşitliğin hangi kapıya eşdeğer olduğunu inceleyiniz.

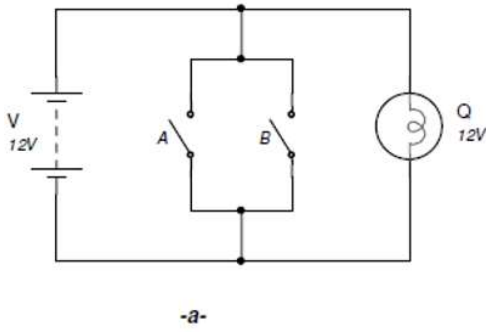
Tablo 3.1. $Q=(A .B)^{\bar{}}$ Eşitliği için giriş değerleri

A	B	Q
0	0	
0	1	
1	0	
1	1	

VEYA DEĞİL KAPISI (NOR GATE)

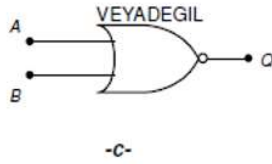
Bu kapının her iki girişi de "0" olduğu anda çıkış "1" olur. Diğer bütün durumlarda çıkış "0" dır.

NORkapısı OR kapısının tersleyici bağlanmış şekli olarak düşünülebilir.



A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

-b-



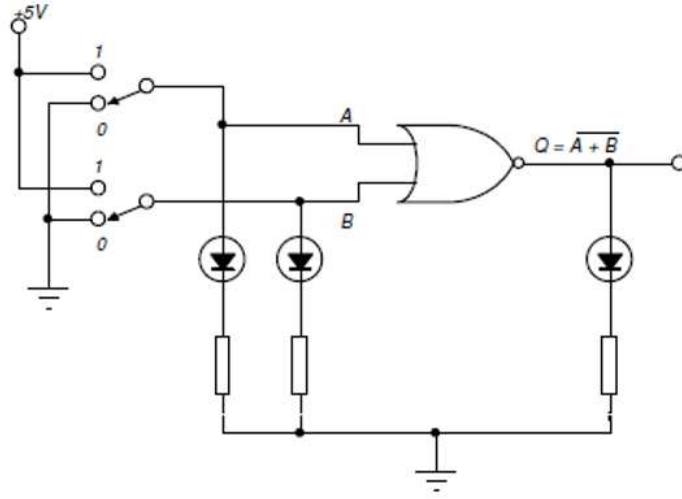
$$Q = \overline{A + B}$$

-d-

Şekil 3.3. VEYADEĞİL kapısı a) Elektriksel eşdeğer devresi b) Doğruluk tablosu c) Sembolü d) Boolean eşitliği

Deney Yapılışı

1. Şekil 3.4'deki devreyi kurunuz.
2. Doğruluk tablosundaki giriş değerlerini, anahtarlar yardımıyla NOR kapısı girişine uygulayınız.
3. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyiniz.



Şekil 3.4. VEYADEĞİL kapısı deney devresi

4. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyiniz.
5. $Q = (A^- B^-)^-$ eşitliğinsolağlayan devreyi kurunuz. Tablo 3.2. giriş değerlerine göre çıkış lojik seviyelerini tabloya kaydediniz. Lojik eşitliğin hangi kapıya eşdeğer olduğunu inceleyiniz.

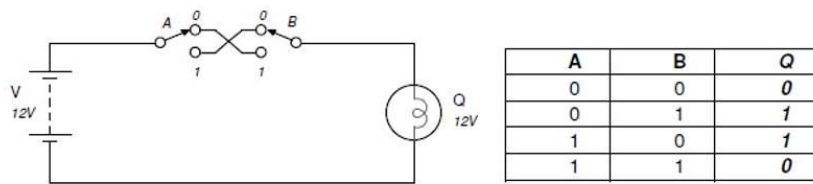
Tablo 3.2. $Q = (A^- B^-)^-$ eşitliği için giriş değerleri

A	B	Q
0	0	
0	1	
1	0	
1	1	

6. 2 girişli NOR kapıları kullanarak 3 girişli NOR kapısı tasarlayınız.

ÖZEL VEYA KAPISI (EXOR (EXCLUSIVE OR) GATE)

EXOR kapısının çalışma özelliği şu şekildedir. Giriş seviyeleri eşit olduğunda çıkış seviyesi "0", giriş seviyeleri farklı olduğunda ise çıkış seviyesi "1" olur.



-a-

-b-



-c-

$$Q = A \cdot \bar{B} + \bar{A} \cdot B$$

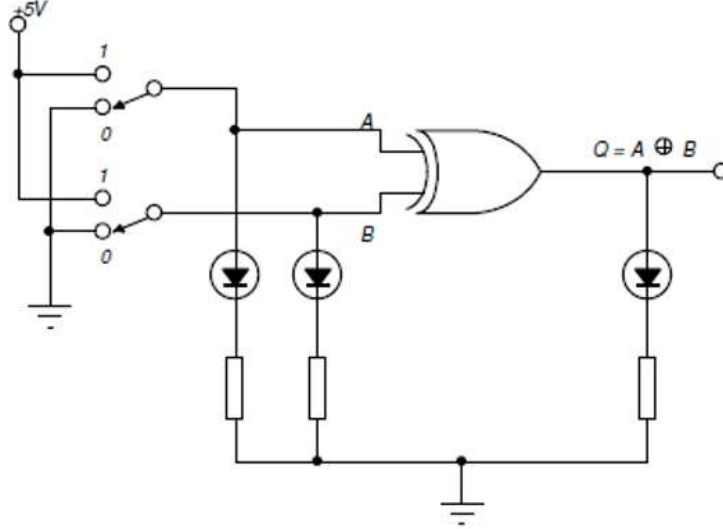
$$Q = A \oplus B$$

-d-

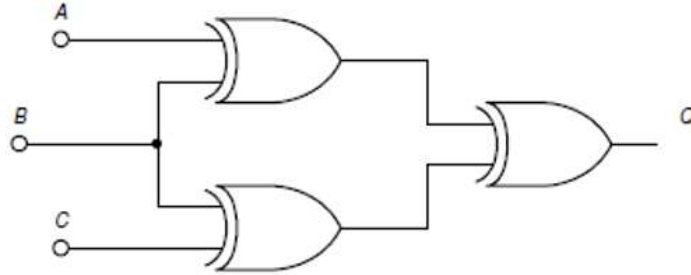
Şekil 3.5. ÖZEL VEYA kapısı a) Elektriksel eşdeğer devresi b) Doğruluk tablosu c) Sembolü d) Boolean eşitliği

Deney Yapılışı

1. Şekil 3.6'daki devreyi kurunuz.
2. Doğruluk tablosundaki giriş değerlerini, anahtarlar yardımıyla XOR kapısı girişine uygulayınız.
3. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyiniz.



Şekil 3.6. ÖZEL VEYA kapısı deney devresi



Şekil 3.7. Lojik devresi

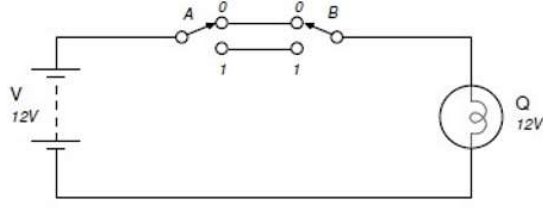
4. Şekil 3.7 de gösterilen devrenin lojik eşitliğini çıkarınız. Devreyi kurun ve Tablo 3.3 deki giriş değerlerini uygulayınız. Elde edilen çıkış değerlerini tabloya kaydediniz.

Tablo 3.3. Şekil 3.7 için giriş değerleri

0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

ÖZEL VEYA DEĞİL KAPISI (EXNOR (EXCLUSIVE NOR) GATE)

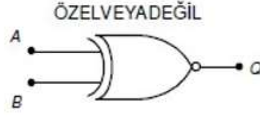
EXNOR kapısında, girişleri eşit olduğunda çıkış "1", girişlerinin farklı olduğunda ise çıkışı "1" olur.



A	B	Q
0	0	1
0	1	0
1	0	0
1	1	1

-a-

-b-



$$Q = \overline{A \cdot B} + \overline{\overline{A} \cdot \overline{B}}$$

$$Q = \overline{A \oplus B}$$

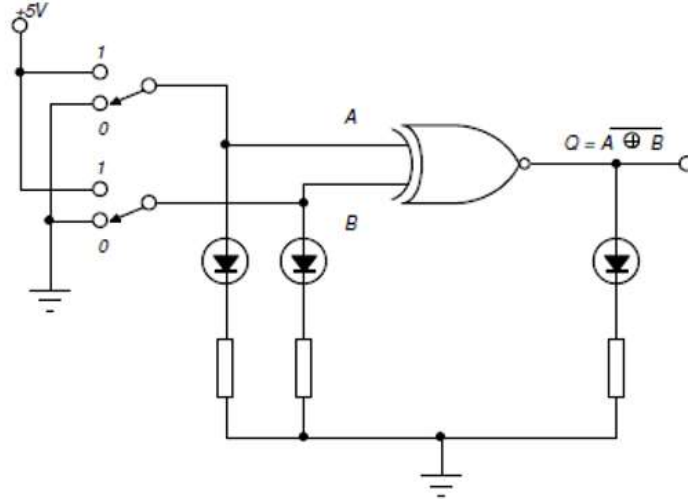
-c-

-d-

Şekil 3.8. ÖZEL VEYA DEĞİL kapısı a) Elektriksel eşdeğer devresi b) Doğruluk tablosu c) Sembölü d) Boolean eşitliği

Deney Yapılışı

1. Şekil 3.9'daki devreyi kurunuz.
2. Doğruluk tablosundaki giriş değerlerini, anahtarlar yardımıyla EXNOR kapısı girişine uygulayınız.
3. Giriş değerlerine karşılık çıkıştaki değişimi gözlemleyiniz.

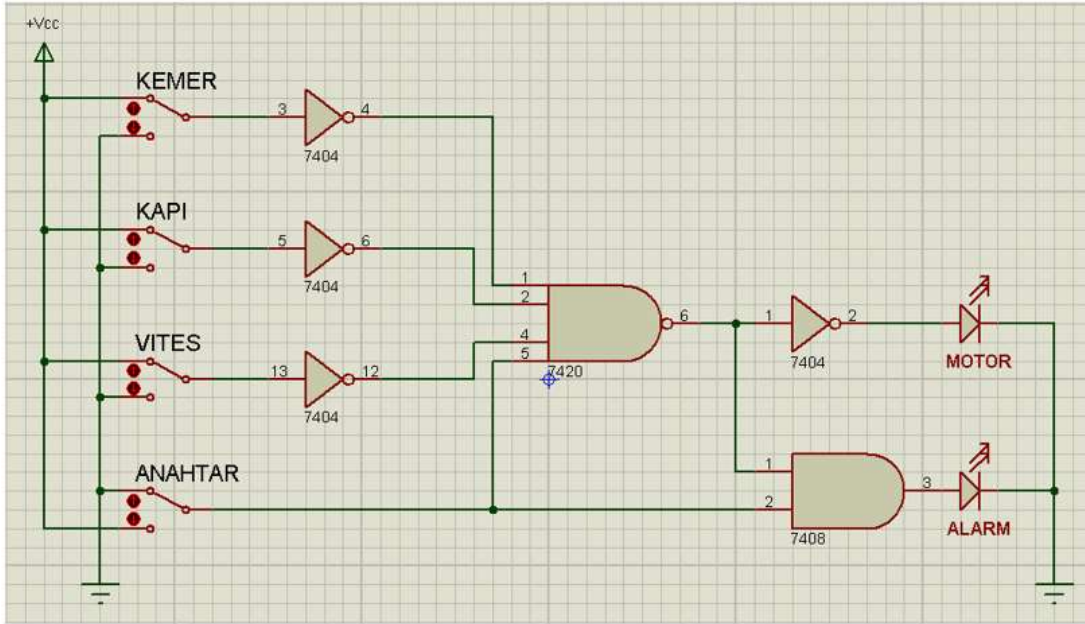


Şekil 3.9. ÖZEL VEYA DEĞİL kapısı deney devresi

Deney No:	4
Deney Adı:	Örnek Uygulama

Ön Hazırlık:

Bir otomobilin başlatma sistemindeki karar verme sürecini şu şekilde dile getirebiliriz. Eğer kapılar kapalıysa (A girişi = 0); vites "Park" konumundaysa (B girişi = 0); koltuk kemerleri bağlı ise (C girişi = 0) ve çalıştırma anahtarı çevrildiyse (D girişi = 1), motor çalışacaktır. Eğer bu dört şart yerine gelmemişse, bir alarm sadece anahtar çevrildiğinde çalacaktır. Başlatma şartları tüm girişlerin bir VE kapısına girileceğini ortaya koymaktadır. Dört girişli bir VE kapısı elimizde yoktur, bu nedenle bu mekanizma için bir VEDEĞİL kapısı kullanılacaktır. İkinci karar, yani tüm şartların karşılanmamasında anahtar çevrildiğinde zilin çalması hali bir başka VE gerektirecektir. Devre ile ilgili tartışmanın geri kalanı için aşağıdaki şekile bakın. Bu şekilden koltuk kemeri, kapı ve vites anahtarlarının kapanması halinde A, B, C' nin LO olduğunu ve anahtarın çevrilmesinin ise D' yi HI yaptığını görebiliriz. Bu nedenle, A, B ve C' yi ABCD veya X elde edebilmek için terslememiz gerekecektir. Daha sonra, çalıştırıcıyı başlatmak için X için gösterilen LO çıkışı da terslenmelidir. X olmadığı zaman bunun tamamlayıcı olan bir HI, iki girişli VE kapısının çıkışında mevcut olacaktır. Anahtar çevrildiği zaman iki girişli VE kapısında D sinyali de HI olacaktır. Bunun sonucu olan XD çıkışı da HI olacak ve zil çalışacaktır, tüm LO belirten dairelerin gerekli kapılama işlevini yapmak durumunda olduğunu gözleyin.



Şekil 4.1. Uygulama devresi

Deney Yapılışı

1. Şekil 4.1'deki devreyi kurunuz. Koltuk kemeri, kapı, vites ve anahtar düğmeleri A, B, C ve D' yi benzetimlemek için anahtarları kullanın. LED göstergelyi MOTOR ve ALARM durumlarında 1 göstermek üzere kullanın. 7400 seri numaraları ile belirtilen kapıları kullanın.
2. Eğiticiye güç veriniz.
3. Anahtarları kullanarak çizelgeyi tanımlayınız.

Tablo 4.1. Uygulama tablosu

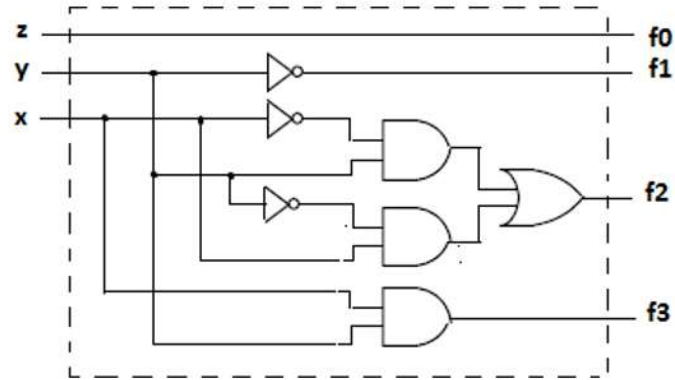
GİRİŞLER				ÇIKIŞLAR	
KEMER	KAPI	VİTES	ANAHTAR	MOTOR	ALARM
\bar{A}	\bar{B}	\bar{C}	D		
0	0	0	0		
0	0	0	1		
0	0	1	0		
0	0	1	1		
0	1	0	0		
0	1	0	1		
0	1	1	0		
0	1	1	1		
1	0	0	0		
1	0	0	1		
1	0	1	0		
1	0	1	1		
1	1	0	0		
1	1	0	1		
1	1	1	0		
1	1	1	1		

Deney No:	5
Deney Adı:	Örnek uygulama 2

Girişine uygulanan üç bitlik sayıyı 2 ile toplayarak çıkışa aktaran aşağıdaki lojik devreyi tasarlayınız.

Deney Yapılışı

1. A, C ve G bloklarını bulunuz.
2. Şekil 5.1'deki devreyi kurunuz.



Şekil 5.1. Uygulama devresi

Tablo 5.1. Uygulama tablosu

x	y	z	f3	f2	f1	f0
0	0	0	0	0	1	0
0	0	1	0	0	1	1
0	1	0	0	1	0	0
0	1	1	0	1	0	1
1	0	0	0	1	1	0
1	0	1	0	1	1	1
1	1	0	1	0	0	0
1	1	1	1	0	0	1

$$f0 = z$$

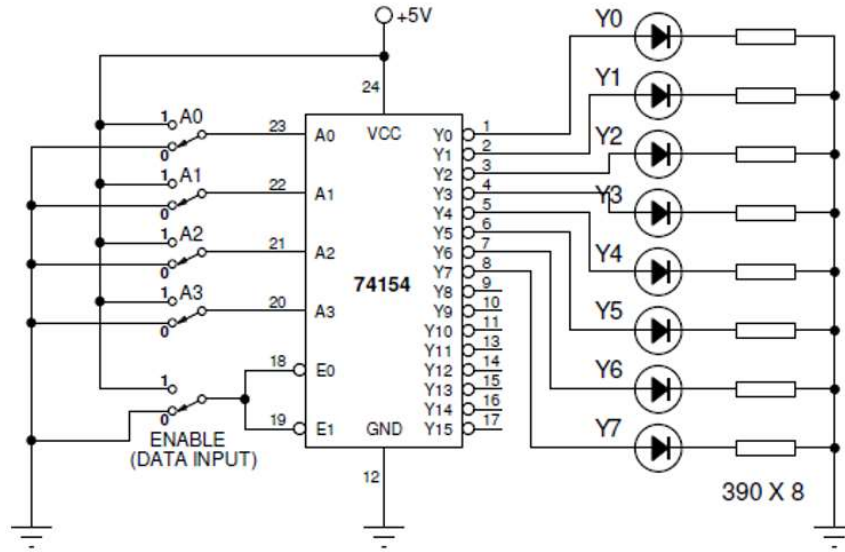
$$f1 = \bar{y}$$

$$f2 = \bar{x}y + x\bar{y}$$

$$f3 = xy$$

Deney Yapılışı

1. Şekil 6.2 deki devreyi kurunuz.



Şekil 6.2. 3'den 8'e DECODER/ DEMULTIPLEXER devresi

3' den 8' e DECODER:

2. ENABLE anahtarı ile E₀ ve E₁ kontrol girişlerine "L" uygulayım. Bu şekilde devre DECODER olarak kullanılacaktır.
3. Çıkış LED sayısı 8 olduğu için, devreyi 3' den 8' e DECODER olarak kullanmak amacıyla A₃ seçme girişine "L" uygulayınız.
4. A₀, A₁ ve A₂ seçme girişlerine tablo 6.2' deki adresleri sırayla girerek çıkışları gözlemleyiniz.
5. Tablo 6.2' deki gözlemlerinizi doğrultusunda doldurunuz.

Tablo 6.2. 3'den 8'e DECODER tablosu

ENABLE	A ₃	A ₂	A ₁	A ₀	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
L	L	L	L	L								
L	L	L	L	H								
L	L	L	H	L								
L	L	L	H	H								
L	L	H	L	L								
L	L	H	L	H								
L	L	H	H	L								
L	L	H	H	H								
H	X	X	X	X								

1' den 8' e DEMULTIPLEXER:

6. Çıkış LED sayısı 8 olduğu için, devreyi 1' den 8' e DEMULTIPLEXER olarak kullanmak amacıyla A₃ seçme girişine "L" uygulayınız.
7. A₀, A₁ ve A₂ seçme uçlarına, girişteki verinin aktarılacağı çıkış adresini giriniz.
8. DATA INPUT anahtarı ile önceden seçilen çıkışa aktarılacak veriyi (L veya H) giriniz.

9. Tablo 6.3' ü gözlemlerinizi doğrultusunda doldurunuz.

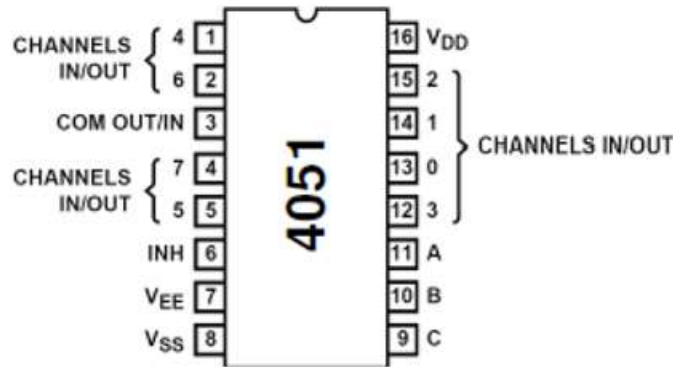
Tablo 6.3. 1'den 8'e DEMULTIPLEXER tablosu

A ₃	A ₂	A ₁	A ₀	VERİ GİRİŞİ	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
L	L	L	L	L								
				H								
L	L	L	H	L								
				H								
L	L	H	L	L								
				H								
L	L	H	H	L								
				H								
L	H	L	L	L								
				H								
L	H	L	H	L								
				H								
L	H	H	L	L								
				H								
L	H	H	H	L								
				H								

ANALOG MULTIPLEXERER/DEMULTIPLEXERER

4051, MULTIPLEXER (Veri Seçici) ve DEMULTIPLEXER (Veri Dağıtıcı) olarak kullanılabilir. Giriş olarak lojik seviye veya analog sinyal uygulanabilir. VDD besleme gerilimi çıkıştan alınacak analog sinyalin maksimum pozitif değerini ve VEE besleme gerilimi çıkıştan alınacak analog sinyalin maksimum negatif değerini belirler. INHIBIT, kontrol ucu olup verinin çıkışa aktarılabilmesi için bu uç "L" seviyede olmalıdır. A, B ve C seçme girişleri olup MULTIPLEXER çalışmada ise girişteki verinin alınacağı çıkış ucunu seçmek için kullanılır.

MULTIPLEXER çalışmasında, CHANNELS IN/OUT (Y₀...Y₇) uçları veri girişi ve COM OUT/IN ucu ise veri çıkışı için kullanılır. DEMULTIPLEXER çalışmasında ise, CHANNELS IN/OUT (Y₀...Y₇) uçları veri çıkışı ve COM IN/OUT ucu ise veri girişi için kullanılır.



Şekil 6.3. 4051 entegresinin ayak yapısı

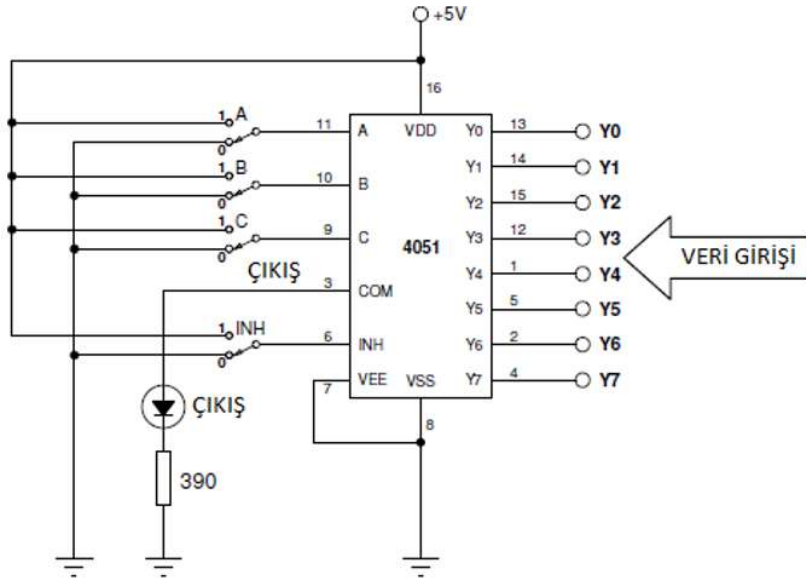
Tablo 6.4. 4051 entegresinin doğruluk tablosu

GİRİŞ DURUMLARI				"ON" CHANNEL(S)
INHIBIT	C	B	A	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	X	X	X	None

Deney Yapılışı

8' den 1' e MULTIPLEXER:

1. Şekil 6.4 deki devreyi kurunuz.
2. INH anahtarını "0" konumuna alarak INHIBIT ucuna "L" seviye uygulayınız.
3. A, B ve C anahtarları ile çıkıştan (COM) alınacak verinin girileceği ucun (Yo...Y7) adresini giriniz.
4. Seçme uçları ile adreslenen giriş ucuna ana üniteden 1 Hz' lık kare dalga sinyal uygulayıp, çıkışı gözlemleyiniz.
5. Tablo 6.5' i gözlemleriniz doğrultusunda doldurunuz.



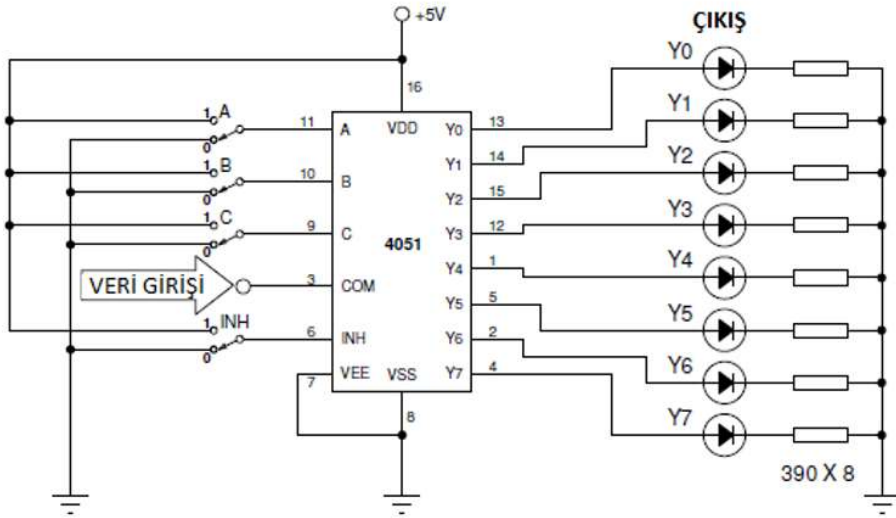
Şekil 6.4. 8'den 1'e MULTIPLEXER devresi

Tablo 6.5. 8'den 1'e MULTIPLEXER işlem tablosu

INHIBIT	A	B	C	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	ÇIKIŞLAR
L	L	L	L	⌋	X	X	X	X	X	X	X	
L	L	L	H	X	⌋	X	X	X	X	X	X	
L	L	H	L	X	X	⌋	X	X	X	X	X	
L	L	H	H	X	X	X	⌋	X	X	X	X	
L	H	L	L	X	X	X	X	⌋	X	X	X	
L	H	L	H	X	X	X	X	X	⌋	X	X	
L	H	H	L	X	X	X	X	X	X	⌋	X	
L	H	H	H	X	X	X	X	X	X	X	⌋	
H	X	X	X	X	X	X	X	X	X	X	X	

1' den 8' e DEMULTIPLEXER:

- Şekil 6.5 deki devreyi kurunuz.
- INH anahtarını "0" konumuna alarak INHIBIT ucuna "L" seviye uygulayınız.
- A, B ve C anahtarları ile girişteki (COM) verinin alınacağı çıkış ucunun (Y₀...Y₇) adresini giriniz.
- Giriş ucuna ana üniteden 1 Hz' lik kare dalga sinyal uygulayıp, seçme uçları ile adreslenen çıkış ucunu gözlemleyiniz.
- Tablo 6.6' yı gözlemlerinizi doğrultusunda doldurunuz.



Şekil 6.5. 1'den 8'e DEMULTIPLEXER devresi

Tablo 6.6. 1'den 8'e DEMULTIPLEXER işlem tablosu

INHIBIT	A	B	C	GİRİŞ	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
L	L	L	L	⌋								
L	L	L	H	⌋								
L	L	H	L	⌋								
L	L	H	H	⌋								
L	H	L	L	⌋								
L	H	L	H	⌋								
L	H	H	L	⌋								
L	H	H	H	⌋								
H	X	X	X	⌋								

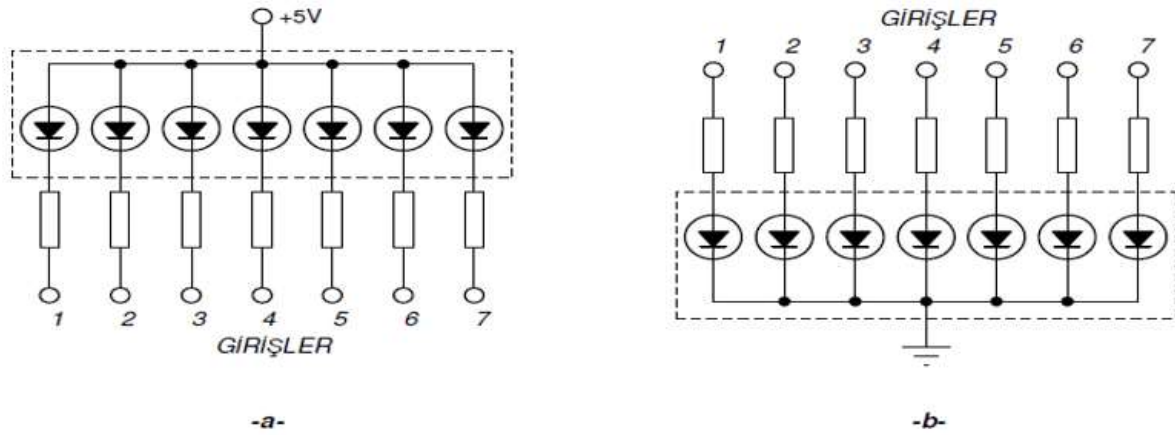
Deney No:	7
Deney Adı:	Segment ve Dotmatriks Display'ler

Teorik Bilgi:

Dijital deneylerde, hem girişte hem de çıkışta "1" ve "0" seviyelerinin kolay görülebilmesi için ışıklı göstergelerin kullanılması deneyleri zevkli ve anlaşılır duruma getirir. TEMEL MANTIK DENEY SETİNDE,LED ve YEDİ-SEGMENT DISPLAY uygulamalarına ek olarak, 8x8 Dot Matriks Display ve "BUZZER" (Sesli uyarı uygulamaları için) uygulamaları için uygun giriş-çıkış birimleri bulunmaktadır.

LED (Işık Yayan Diyot - Light Emitted Diode):

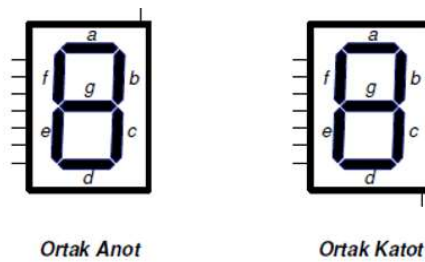
Doğru polarizasyonda, yakın dalga boyunda ışık saçılımı yapan yarı iletken devre elemanıdır. Yapıldığı yarı iletken bileşimlerin kimyasal oranına ve türüne göre yakın dalga boyunun değişik tayflarında ışık verirler. LED' ler, Kırmızı, Sarı, Yeşil, Mavi gibi görünen ışık ve Kızılötesi (Infrared) ve Morötesi (Ultraviolet) gibi görünmeyen ışık kaynağı olarak kullanılabilir.



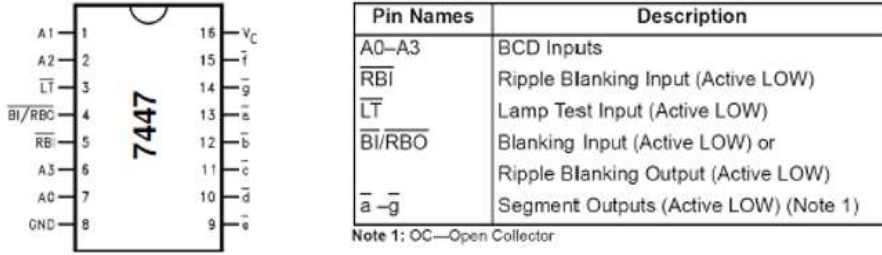
Şekil 7.1. a) ortak anot LED dizini b) ortak katot LED dizini

Yedi Segment Display:

Yedi segment display, sıfırdan dokuzaya kadar sayıları ve alfabedeki harfleri görüntülemek için kullanılır. Bu gösterimi, uygun bir şekilde yerleştirilmiş yedi tane LED' in ışık vermesi ile gerçekleştirir. Buradaki her bir LED, bir segmenti meydana getirmektedir. LED' lerin katot ya da anotları birbirlerine bağlanır. Anotları ortak olana "ortak anot" ; katotları ortak olana ise "ortak katot" display adı verilir. Ortak anot displaylerde LED' lerin anotları birbirine bağlanmıştır. Segmentlerin ışık verebilmesi için ortak noktaya +5V (Lojik 1) uygulanır ve ilgili LED' in katoduna lojik "0" seviyesi uygulanır.



Şekil 7.2. Segment display Sembolü

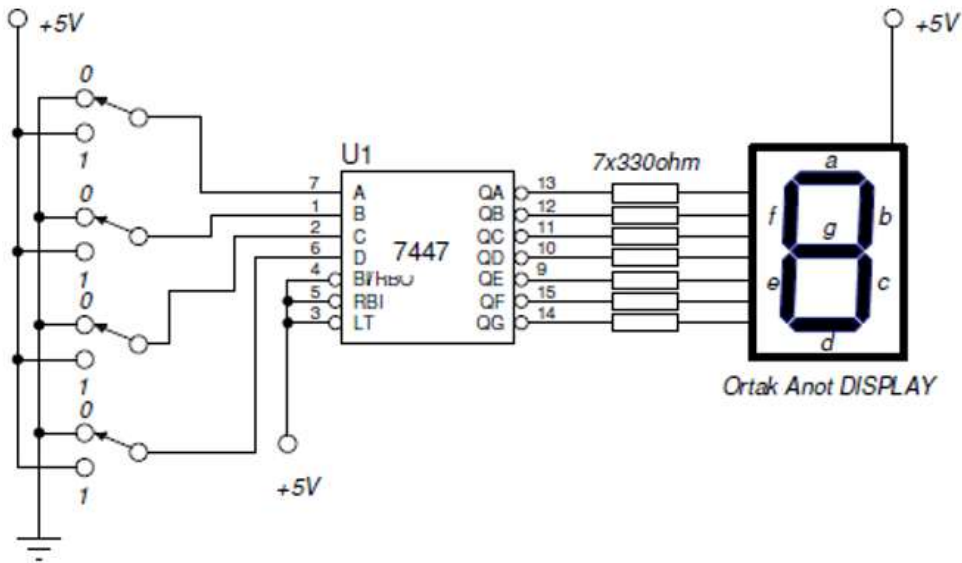


Şekil 7.3. 7447 – 7BCD'den 7 segmente kod çözücü entegresi ayak yapısı ve pin isimleri

Ondalık İşlem	Girişler							Çıktılar						
	$\overline{\text{LT}}$	$\overline{\text{RBI}}$	A3	A2	A1	A0	$\overline{\text{BI/RBO}}$	$\overline{\text{a}}$	$\overline{\text{b}}$	$\overline{\text{c}}$	$\overline{\text{d}}$	$\overline{\text{e}}$	$\overline{\text{f}}$	$\overline{\text{g}}$
0	H	H	L	L	L	L	H	L	L	L	L	L	L	H
1	H	X	L	L	L	H	H	H	L	L	H	H	H	H
2	H	X	L	L	H	L	H	L	L	H	L	L	H	L
3	H	X	L	L	H	H	H	L	L	L	L	H	H	L
4	H	X	L	H	L	L	H	H	L	L	H	H	L	L
5	H	X	L	H	L	H	H	L	H	L	L	H	L	L
6	H	X	L	H	H	L	H	H	H	L	L	L	L	L
7	H	X	L	H	H	H	H	L	L	L	H	H	H	H
8	H	X	H	L	L	L	H	L	L	L	L	L	L	L
9	H	X	H	L	L	H	H	L	L	L	H	H	L	L
10	H	X	H	L	H	L	H	H	H	H	L	L	H	L
11	H	X	H	L	H	H	H	H	H	L	L	H	H	L
12	H	X	H	H	L	L	H	H	L	H	H	H	L	L
13	H	X	H	H	L	H	H	L	H	H	L	H	L	L
14	H	X	H	H	H	L	H	H	H	H	L	L	L	L
15	H	X	H	H	H	H	H	H	H	H	H	H	H	H
$\overline{\text{BI}}$	X	X	X	X	X	X	L	H	H	H	H	H	H	H
$\overline{\text{RBI}}$	H	L	L	L	L	L	L	H	H	H	H	H	H	H
$\overline{\text{LT}}$	L	X	X	X	X	X	H	L	L	L	L	L	L	L



Şekil 7.4. 7447 entegresinin doğruluk tablosu ve 7 segment displayde oluşan çıkış karakterleri

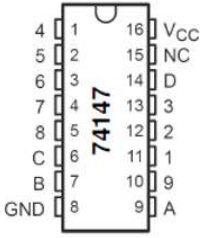


Şekil 7.5. Girişleri lojik anahtarlarla belirlenmiş display devresi

7447' nin doğruluk tablosunda da görüldüğü gibi BCD girişler "H" aktif ve segment çıkışları "L" aktiftir. Şekil 6' daki devrede 7447 entegresinin giriş değerleri lojik anahtarlar ile seçilmekte ve bu girişlere karşılık üretilen kod display' de okunmaktadır.

7 segment display' i tuş takımı ile kontrol etmek amacıyla, 0-9 desimal sayılarının BCD karşılığını üreten ve öncelikli kodlayıcı entegresi olan 74147 kullanılır. Şekil 7' deki fonksiyon tablosundangörülebileceği gibi, entegrenin giriş uçları "L" aktif ve çıkışta üretilen BCD kod tümleyen şeklindedir. Tüm girişler birer direnç yardımıyla "H" seviyeye çekildiğinde, çıkışta "0" desimal sayısının BCD karşılığının tümleyeni olan "HHHH" verisi üretilir. Öncelikli kodlayıcının en önemli özelliği ise, tuş takımında aynı anda birden fazla tuşa basıldığında, bunlardan öncelikli olanın BCD karşılığını çıkışta vermesidir. Bu öncelik, yine fonksiyon tablosundan anlaşılacağı üzere büyük olan giriş sayısına verilmektedir.

7 segment displayde"0" rakamının gösterilmesi için, 7447 entegresinin girişlerine uygulanması gereken BCD kodu "LLLL" iken, "0" rakamına ait 74147 entegresinin çıkışında üretilen kod "HHHH" olmaktadır. Bu durumda yapılması gereken şey, 74147 entegresinin çıkışlarının tümleyenini alarak 7447 entegresinin girişlerine uygulamaktır. Bu amaçla 74147 entegresinin 4 çıkışına da birer adet"NOT" kapısı bağlanır.

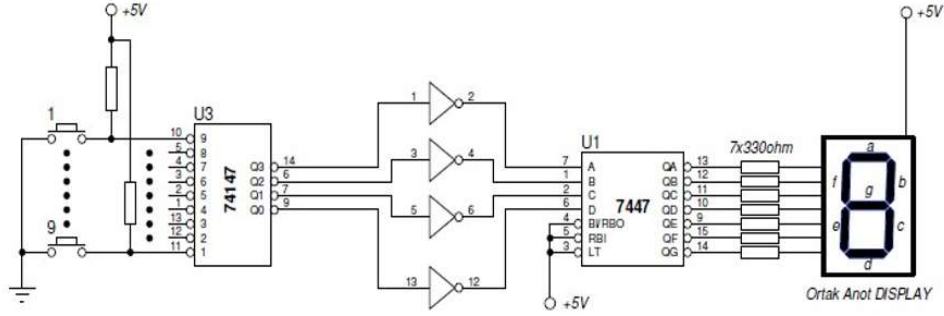


GİRİŞLER									ÇIKIŞLAR			
1	2	3	4	5	6	7	8	9	D	C	B	A
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

Şekil 7.6. 74147 entegresinin ayak yapısı ve fonksiyon tablosu

Deney Yapılışı

1. Şekil 7.7 deki devreyi kurunuz.
2. Tuş takımında herhangi bir tuşa basılmadığı sürece, 7 segment display' de "0" karakterinin kodlandığını gözlemleyiniz.
3. Tuş takımından sırasıyla 1' den 9' a kadar olan tuşlara basıp, 7 segment display' de oluşan çıkış karakterlerini gözlemleyiniz.
4. Aynı anda birden fazla tuşa basarak, 7 segment display' de oluşan çıkış karakterlerini gözlemleyiniz.
5. Sonuçları gözlem tablo 7.1' e kaydediniz.



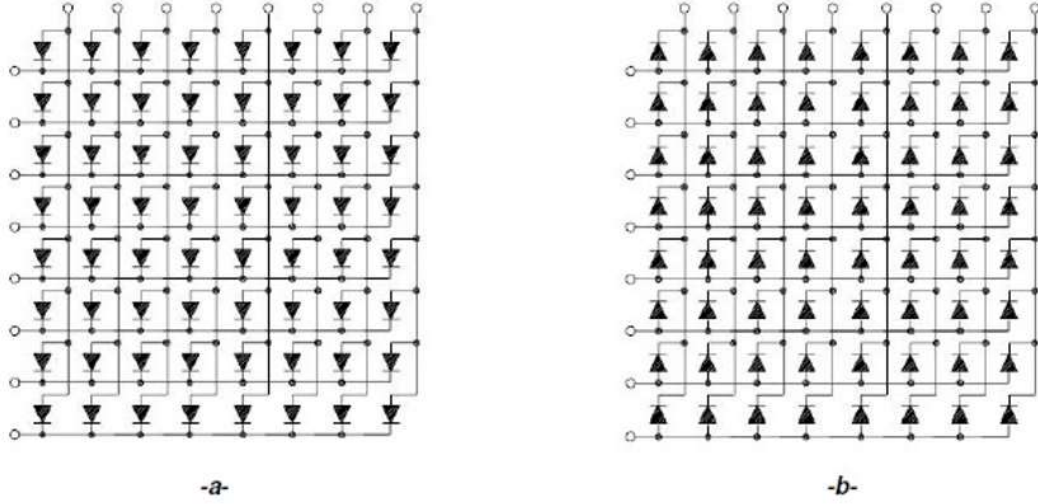
Şekil 7.7. 8 tuş takımı ile 7 segment display kontrol devresi

Tablo 7.1. Uygulama tablosu

Basılı tuşlar	Çıkış karakteri (7 segment display' de)
Yok	
1	
2	
3	
4	
5	
6	
7	
8	
9	
1 ve 4	
3 ve 6	
5 ve 7	
8 ve 9	

DOT Matriks Display:

Dot Matriks Displayler, düşük çözünürlükte harf, sayı, grafik veya sembol gösterimi için kullanılır. Satırve sütun halinde dizilmiş LED gruplarından oluşur. Satır ve sütundaki LED sayısı birbirlerinin çarpımı şeklinde ifade edilir. (8x8 ya da 5x8) Burada birinci sayı sütun sayısını, ikinci sayı ise satır sayısını ifade eder. Şekil 7.8'de Ortak Katot ve Anot Dot Matriks Display' lerin iç yapıları görülmektedir. Burada bir LED' in ışık vermesi için, LED' in bağlı olduğu satır ve sütuna uygun gerilim değerinin verilmesi gerekmektedir. Ortak anot displayde, aynı sütundaki LED' lerin anotları ortak katotda ise katodları birbirlerine bağlıdır.



Şekil 7.8. 8x8 DOT matriks display iç yapıları

a) ortak anot displayin iç yapısı b) ortak katot displayin iç yapısı

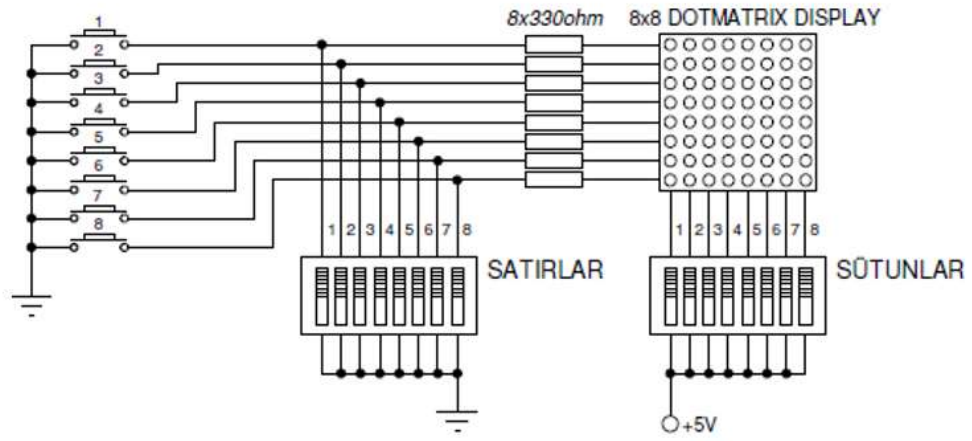
Her satır ve sütunda LED' lerin anot ve katotları birbirlerine bağlı olduğundan, gösterilecek bilgi tek seferde gönderilmesi tercih edilmez. Bunun yerine her sütundaki ya da satırdaki bilgi ayrı ayrı ve hızlı bir şekilde (gözün saniyedeki algılayabileceği görüntü karesinden fazla diğer bir ifade ile saniyenin yirmibeşte birinden daha hızlı) gönderilebilir. Tarama şeklinde yapılan bu yöntemle her sütuna bilgi farklı zamanlarda gönderilir. Bu zamanlar gözün algılamasından daha kısa olduğundan tüm sütun bilgilerine göre LED' lerin durumu görülebilir. Örneklense; Bir ortak katot displayde ters bir diküçgen gösterilecek olsun. (Işık veren LED "1" ve ışık yaymayan LED ise "0" olarak gösterilmiştir.) LED' lerin 1. satırda 11111111; 2. satırda 11111110; 3. satırda 11111100; 4. satırda 11111000; 5. Satırda 11110000; 6. satırda 11100000; 7. satırda 11000000; 8. satırda 10000000 şeklinde LED' ler ışıkvermektedir.

Burada birinci sütundan sekizinci sütuna bilgiler taranacak. İlk olarak 1. sütun aktif edilir. (0V uygulanır ve o sütuna ait 11111111 bilgisi gönderilir. Daha sonra 1. sütunun aktifliği kaldırılır ve 2. sütun aktif edilir ve 2. sütuna ait bilgi olan 11111110 bilgisi gönderilir. 2. sütunun aktifliği kaldırılır ve 3. sütun aktif edilir ve bilgisi olan 11111100 bilgisi gönderilir. Tarama olayı 8. sütuna kadar bu şekilde devam edilir. 8. sütunun da bilgisi gönderildikten sonra, tekrar 1. satırdan itibaren taramanın devam etmesi gerekmektedir.

Deney Yapılışı

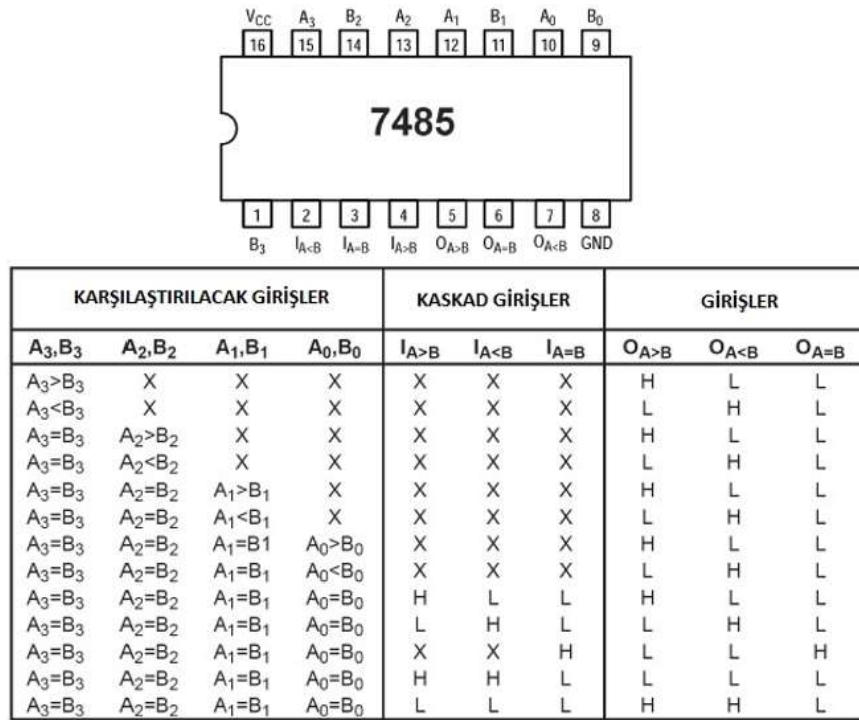
1. Şekil 7.9 daki devreyi kurunuz.
2. Tüm anahtarları açık duruma getiriniz. DOT Matriks Display' de herhangi bir noktanın aydınlanmadığını gözlemleyiniz.
3. Yanmasını istediğiniz noktanın sütun anahtarını +5V konumuna alınız. Bunun ardından o noktaya ait satır anahtarını GND konumuna alınız. (Bunun yerine ilgili satır butonuna da basabilirsiniz.) İstenilen noktaya ait LED' in yandığını gözlemleyiniz.
4. Benzer işlemleri birden fazla nokta için yaparak, display üzerinde farklı noktalara ait LED' lerin

aynı anda yanmasını sağlayınız.



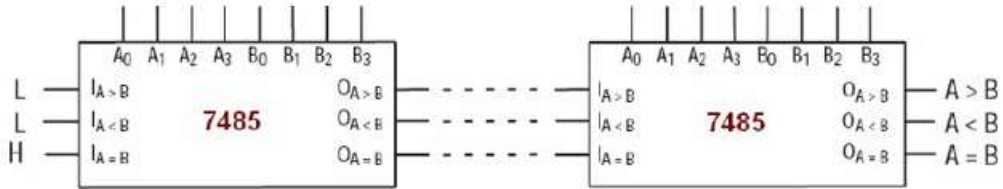
Şekil 7.9. 8x8 DOT matriks display kontrol devresi

Deney No:	8
Deney Adı:	Aritmetik Devreler - Karşılaştırıcı



Şekil 8.1. 7485 entegresinin ayak yapısı ve doğruluk tablosu

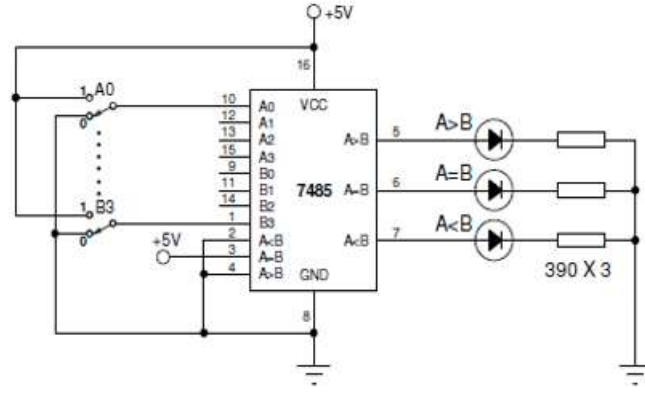
7485, 4' er bitlik iki binary sayıyı (A ve B sayıları) karşılaştırma özelliğine sahiptir. A>B, A<B ve A=B olmak üzere üç adet çıkışı bulunmaktadır. Birden fazla entegre kaskad girişleri kullanılarak ardışıl olarak bağlanıp, karşılaştırılacak sayıların bit adetleri artırılabilir (Şekil 8.2).



Şekil 8.2. Kaskad bağlantı ile bit sayısının artırılması

Deney Yapılışı

1. Şekil 8.3 deki devreyi kurunuz.
2. Anahtarları kullanarak A ve B sayılarına farklı değerler verip, çıkışları gözlemleyiniz.
3. Tablo 8.1'i gözlemlerinizi doğrultusunda doldurunuz.



Şekil 8.3. 4 bit karşılaştırıcı devresi

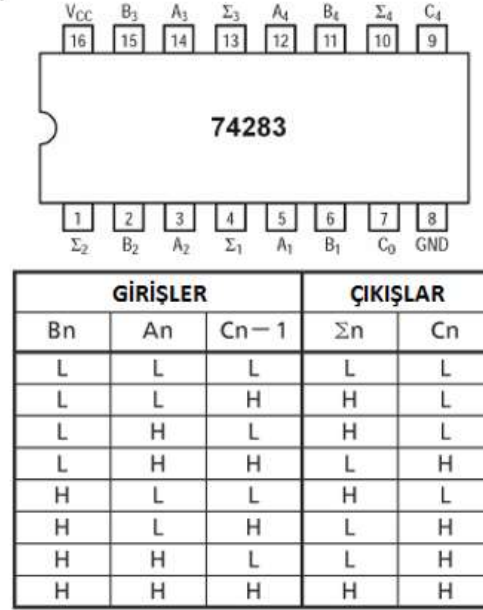
Tablo 8.1. 4 bit karşılaştırıcı işlem tablosu

A ₃	A ₂	A ₁	A ₀	B ₃	B ₂	B ₁	B ₀	A>B	A=B	A<B
0	0	0	0	0	0	0	0			
1	X	X	X	0	X	X	X			
0	X	X	X	1	X	X	X			
A ₃ =B ₃	1	X	X	A ₃ =B ₃	0	X	X			
A ₃ =B ₃	0	X	X	A ₃ =B ₃	1	X	X			
A ₃ =B ₃	A ₂ =B ₂	1	X	A ₃ =B ₃	A ₂ =B ₂	0	X			
A ₃ =B ₃	A ₂ =B ₂	0	X	A ₃ =B ₃	A ₂ =B ₂	1	X			
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	1	A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	0			
A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	0	A ₃ =B ₃	A ₂ =B ₂	A ₁ =B ₁	1			
1	1	1	1	1	1	1	1			

Deney No:	9
Deney Adı:	Aritmetik Devreler – Tam Toplayıcı

4 BİT BINARY TAM TOPLAYICI (FULL ADDER)

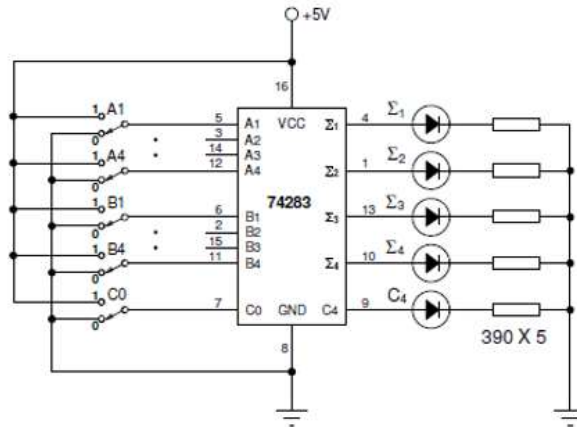
74283, 4' er bitlik iki binary sayıyı toplama özelliğine sahiptir. Harici elde girişi (C0) ve elde çıkışı (C4) mevcuttur.



Şekil 9.1. 74283 entegresinin ayak yapısı ve doğruluk tablosu (1 bit için)

Deney Yapılışı

1. Şekil 9.2 deki devreyi kurunuz.
2. Anahtarları kullanarak A ve B sayılarına farklı değerler verip, çıkışları gözlemleyiniz.
3. Tablo 1.1'i gözlemlerinizi doğrultusunda doldurunuz.



Şekil 9.2. 4 bit binary tam toplayıcı devresi

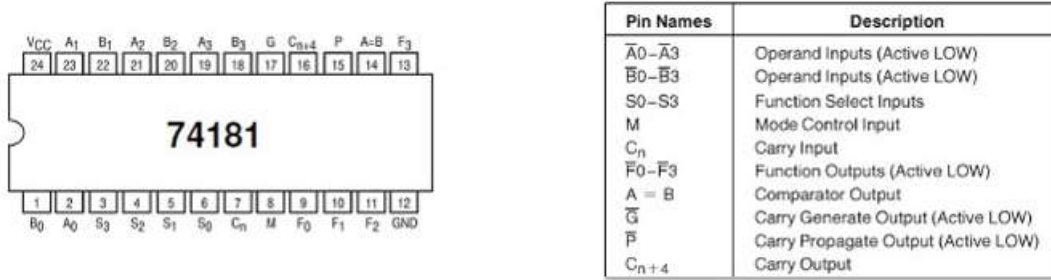
Tablo 9.1. 4 bit binary tam toplayıcı işlem tablosu

B ₄	B ₃	B ₂	B ₁	A ₄	A ₃	A ₂	A ₁	C ₀	C ₄	Σ ₄	Σ ₃	Σ ₂	Σ ₁
0	0	0	0	0	0	0	0	0					
0	0	0	1	0	0	0	1	0					
1	0	1	0	0	1	0	0	0					
0	1	0	1	1	0	1	1	0					
1	1	1	0	1	0	0	0	1					
0	1	1	0	1	1	0	0	1					
0	0	1	1	1	0	0	1	0					
1	1	1	1	1	1	1	1	0					
1	1	1	1	1	1	1	1	1					

Deney No:	10
Deney Adı:	Aritmetik Devreler - ALU

4 BİT ALU (ARITHMETIC LOGIC UNIT-ARİTMETİK MANTIK BİRİMİ)

74181, 4 bitlik ALU entegresidir. Bir adet mod kontrol (M) ve dört adet fonksiyon seçme girişine (S0...S3) sahiptir. Aritmetik işlemler için M=0 ve mantıksal (lojik) işlemler için M=1 seçilmelidir. Bu seçimden sonra, fonksiyon seçme girişleri (S0...S3) ile yapılacak işlem türü belirlenir. A ve B olmak üzere 4' er bitlik iki adet bilgi girişi bulunmaktadır. İşlem sonucu F0...F3 çıkış uçlarından alınır.



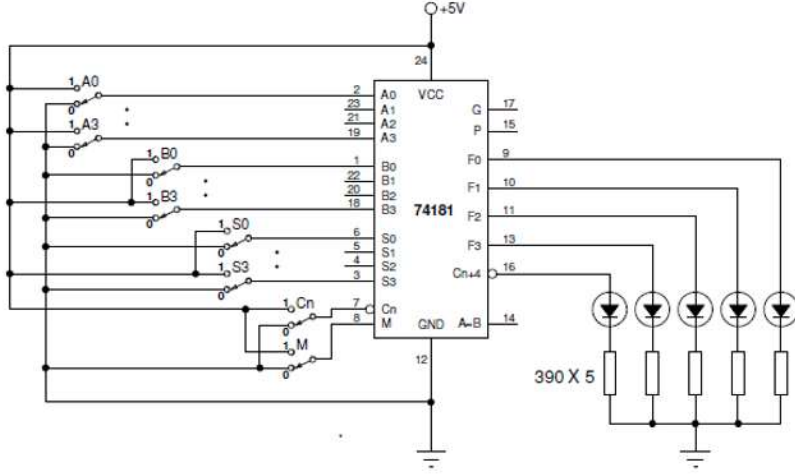
Şekil 10.1. 74181 entegresinin ayak yapısı ve pin isimleri

Tablo 10.1. 74181 entegresinin fonksiyon tablosu

Mode Select Inputs				Active LOW Operands & F_n Outputs		Active HIGH Operands & F_n Outputs	
S3	S2	S1	S0	Logic (M = H)	Arithmetic** (M = L) ($C_n = L$)	Logic (M = H)	Arithmetic** (M = L) ($C_n = H$)
L	L	L	L	\overline{A}	A minus 1	\overline{A}	A
L	L	L	H	\overline{AB}	AB minus 1	$\overline{A} + \overline{B}$	A + B
L	L	H	L	$\overline{A} + \overline{B}$	\overline{AB} minus 1	\overline{AB}	A + \overline{B}
L	L	H	H	Logic 1	minus 1	Logic 0	minus 1
L	H	L	L	$\overline{A} + \overline{B}$	A plus (A + \overline{B})	\overline{AB}	A plus \overline{AB}
L	H	L	H	\overline{B}	AB plus (A + \overline{B})	\overline{B}	(A + B) plus \overline{AB}
L	H	H	L	$\overline{A} \oplus \overline{B}$	A minus B minus 1	A \oplus B	A minus B minus 1
L	H	H	H	A + \overline{B}	A + \overline{B}	\overline{AB}	AB minus 1
H	L	L	L	\overline{AB}	A plus (A + B)	$\overline{A} + \overline{B}$	A plus AB
H	L	L	H	A \oplus B	A plus B	$\overline{A} \oplus \overline{B}$	A plus B
H	L	H	L	B	\overline{AB} plus (A + B)	B	(A + \overline{B}) plus AB
H	L	H	H	A + B	A + B	AB	AB minus 1
H	H	L	L	Logic 0	A plus A*	Logic 1	A plus A*
H	H	L	H	\overline{AB}	AB plus A	A + \overline{B}	(A + B) plus A
H	H	H	L	AB	\overline{AB} minus A	A + B	(A + \overline{B}) plus A
H	H	H	H	A	A	A	A minus 1

Deney Yapılışı

1. Şekil 10.2 deki devreyi kurunuz.
2. Anahtarlar yardımıyla A ve B sayılarına istediğiniz değerleri girerek tablo 10.2' deki örnek işlemleriyapınız.



Şekil 10.2. 4 bit ALU devresi

Tablo 10.2. 4 bit ALU örnek işlem tablosu

S ₃	S ₂	S ₁	S ₀	M	C _n	A ₃	A ₂	A ₁	A ₀	B ₃	B ₂	B ₁	B ₀	C _{n+4}	F ₃	F ₂	F ₁	F ₀	İŞLEM
0	0	0	0	1	X														
0	1	0	1	1	X														
0	1	0	1	1	X														
1	1	0	0	1	X														
0	1	0	0	1	X														
1	1	0	1	1	X														
1	0	1	0	1	X														
1	0	1	1	1	X														
0	0	0	1	0	1														
1	0	0	1	0	1														
1	1	1	1	0	1														
1	1	0	0	0	1														
0	1	1	1	0	1														
0	0	1	0	0	1														
0	0	0	0	0	1														
1	0	0	0	0	1														