

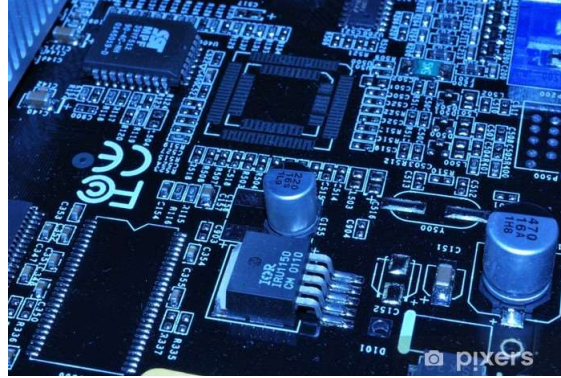


T.C.

**MALATYA TURGUT ÖZAL ÜNİVERSİTESİ
MÜHENDİSLİK VE DOĞA BİLİMLERİ FAKÜLTESİ**

**ELEKTRİK-ELEKTRONİK MÜHENDİSLİĞİ
BÖLÜMÜ**

**EEM 305 Elektronik II LABORATUVARI DENEY
FÖYÜ**



*Dr. Öğr. Üyesi Mehmet ÜSTÜNDAĞ
Arş. Gör. Muhammed Buğracan ÖZKÜÇÜK*

2022-2023 Güz Dönemi

LABORATUVAR GÜVENLİK KLAVUZU

Laboratuvar ortamında çalışanların sağlık ve güvenliği ile yürütülen çalışmaların başarısı için temel güvenlik kurallarına uyulması büyük önem taşımaktadır. Bu sebeple aşağıda tanımlanan kurallara uyulması gerekmektedir.

- 13 mA'den büyük akım veya 40 V'dan büyük voltajlar insan sağlığı için tehlike arz etmektedir ve öldürücü etkisi vardır. Bu nedenle elektrik çarpmalarından korunmak için gerekli önlemleri alınız ve görevlilerin uyarılarına mutlaka uyunuz. Kaza ve yaralanmalar olduğu zaman görevliye derhal haber veriniz. Kazayı bildirmek için vakit geçirmeyiniz.
- Hasara uğramış veya çalışmayan alet ve cihazları derhal laboratuvar görevlisine bildirin.
- Herhangi bir nedenle hasar verdiğiniz tüm cihaz ve donanımlarının onarımı ya da yeniden alınma bedeli tarafınızdan karşılanacaktır. Cihazların üzerine kitap defter gibi ağır malzemeler yerleştirmeyiniz ve yerlerini değiştirmeyiniz.
- Multimetreleri ölçüm kademelerinin sınırı dışındaki akım veya gerilim kademelerinde çalıştırmayınız. Güç kaynaklarından düşük gerilim alınız.
- Laboratuvarların sessiz ve sakin ortamını bozacak yüksek sesle konuşmak, tartışma yapmak, başka grupların çalışmalarını engellemek, izin almadan laboratuvarı terk etmek, diğer gruplardan yardım almaya çalışmak ve laboratuvarında dolaşmak yasaktır.
- Laboratuvarlara yiyecek ve içecek sokmak yasaktır.
- Laboratuvarlarda cep telefonu kullanımı yasaktır.
- Çalışma esnasında saçlar uzun ise mutlaka toplanmalıdır.
- Çalışma bittikten sonra kullanılan cihazlar yerlerine konulmalıdır.
- Laboratuvarında çalıştığınız alanın temizliği sizin sorumluluğunuzdadır. Çalışmalar bittikten sonra gereken temizlik yapılmalıdır.
- Laboratuvardan çıkmadan önce masanın enerjisi kesilmelidir.

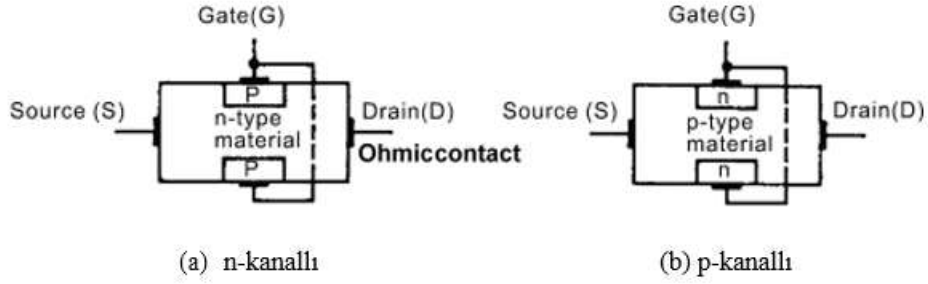
DİKKAT!

Laboratuvarında çalışan herkesin belirtilen kuralların tümüne uyması zorunludur. Bu kurallara uymayanlar laboratuvar sorumluları tarafından uyarılacak, gerekirse laboratuvardan süreli uzaklaştırma ile cezalandırılacaklardır. Laboratuvara kasıtlı olarak zarar verdiği tespit edilen kişiler laboratuvardan süresiz olarak uzaklaştırılacak ve verilen zarar tazmin ettirilecektir

Deney No:	1
Deney Adı:	JFET Karakteristikleri

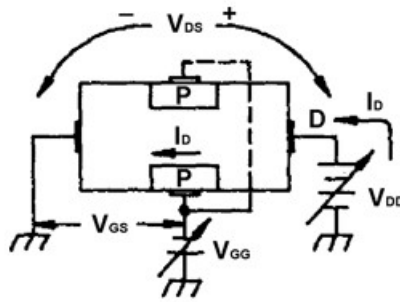
Teorik Bilgi:

JFET'in iç yapısı Şekil 1.1'de gösterilmiştir. n-kanallı JFET, kalın bir n-tipi malzeme içerisine bir çift p-tipi bölgenin yerleştirilmesiyle elde edilir. Buna karşılık p-kanallı JFET, kalın bir p-tipi malzeme içerisine bir çift n-tipi bölgenin yerleştirilmesiyle elde edilir. Burada JFET'in çalışması anlatılırken, Şekil 1.2'de gösterilen öngerilim düzenlemesine sahip n-kanallı JFET ele alınacaktır.

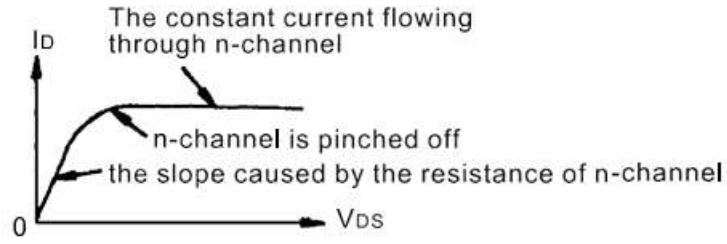
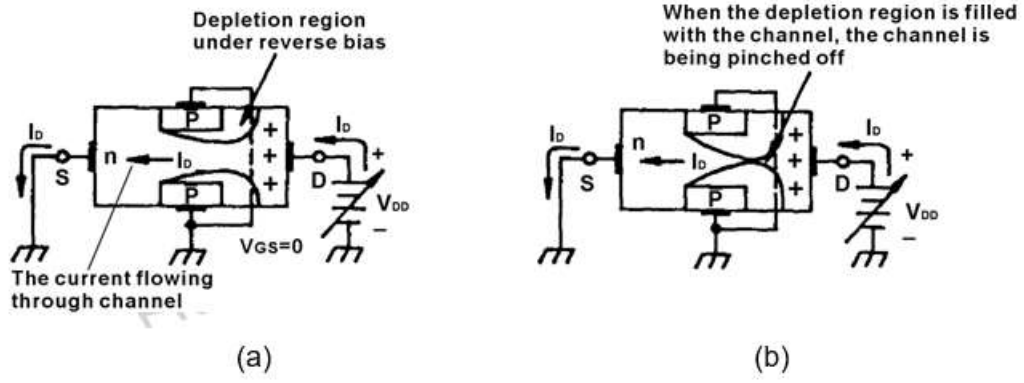


Şekil 1.1. JFET'in yapısı

V_{DD} besleme gerilimi, akaç-kaynak arasında bir V_{DS} gerilimi oluşturarak, akaçtan kaynağa bir I_D akımının akmasını sağlar (n-kanallı JFET'te elektronlar gerçekte kaynaktan akaca doğru hareket eder ki ikinci bahsedilen uç bu yüzden akaç olarak adlandırılır. Geleneksel akım yönü ise, elektron akış yönünün tersinedir). Bu durumda akaç akımı, p-tipi kapılarla çevrili kanal içerisinden akar. Şekil 1.2'de gösterildiği gibi kapı ile kaynak arasında V_{GG} gerilim kaynağı tarafından bir gerilim üretilir. Kapı ile kaynak arasındaki gerilim, kapı-kaynak jonksiyonunu ters yönde öngerilimlediği için kapı akımı akmaz. Kanalın iki yanından uygulanan kapı gerilimi tarafından oluşturulan boşaltılmış bölge, kanalın genişliğini azaltarak akaç-kaynak direncini artırır ve böylece akaç akımının azalmasına neden olur.



Şekil 1.2. JFET'in temel çalışması



(c) V_{DS} - I_D karakteristiği

Şekil 1.3. Kanal tarafından oluşturulan kısma etkisi

$V_{GS} = 0V$ iken FET'in çalışma durumu Şekil 1.3 (a)'da gösterilmiştir. N-kanalı boyunca akım aktığı durumda V_{DD} tarafından üretilen gerilim düşümü, kapı-akaç jonksiyonuna yakın tarafının potansiyeli, kapı-kaynak jonksiyonuna göre daha yüksek olan küçük bir direnç olarak düşünülebilir. P-N jonksiyonuna uygulanan ters öngerilim, Şekil 1.3(a)'da gösterildiği gibi, bir boşaltılmış bölge oluşturur. V_{DD} gerilimi arttırıldığında, I_D akımı da artarak daha büyük bir boşaltılmış bölgeye yol açar ve akaç ile kaynak arasındaki direnç artmış olur. V_{DD} gerilimi sürekli olarak arttırılırsa, Şekil 1.3(b)'de gösterildiği gibi, boşaltılmış bölge kanalın tamamını kaplar. Bu durumda V_{DD} 'nin daha da arttırılması, I_D akımını arttırmaz ($I = V/R$, $V \uparrow$, $R \uparrow$, I sabit kalır). $V_{GS} = 0$ iken V_{DS} ile I_{DS} arasındaki ilişki Şekil 1.3(c)'de gösterilmiştir. Bu şekilden I_D akımının, sabit bir değere ulaşıncaya kadar, V_{DS} gerilimiyle birlikte arttığı görülmektedir. Bu sabit değer I_{DSS} olarak adlandırılır (Burada DS harfleri akımın akaçtan kaynağa doğru aktığını ifade ederken, son S harfi ise akaç-kapı'nın kısa devre ($V_{GS} = 0$) durumunda olduğunu belirtir).

JFET'in Devre Sembolleri ve Karakteristik Eğrileri

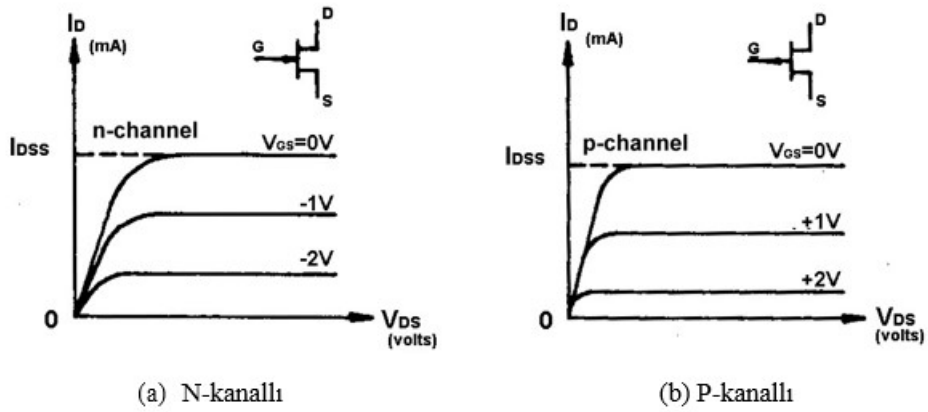
1. JFET'in devre sembolleri Şekil 1.4'te gösterilmiştir. D, G ve S sırasıyla, JFET'in Akaç, Kapı ve Kaynak uçlarını ifade etmektedir.



Şekil 1.4. JFET devre sembolleri

2. Akaç-Kaynak Karakteristik Eğrisi

Şekil 1.5, P-kanallı ve N-kanallı JFET'in akaç-kaynak karakteristiklerini göstermektedir. V_{GS} 'nin arttırılmasıyla (n-kanallıda daha negatif yapılır) kanalda oluşan boşaltılmış bölge, kanalı kısmak için gerekli akımın azalmasına sebep olur. $V_{GS} = -1V$ 'a karşılık gelen eğri Şekil 1.5 (a)'da gösterilmiştir. Bu sonuca göre, kapı geriliminin, akaç akımını azaltabilen bir kontrolör olarak iş gördüğü söylenebilir (belirli bir V_{DS} geriliminde). Şekil 1.5 (b)'de gösterildiği gibi, P-kanallı JFET için V_{GS} daha pozitifken, akaç akımı I_{DSS} 'den daha küçük olur. V_{GS} sürekli olarak arttırılırsa, akaç akımı buna bağlı olarak azalacaktır. V_{GS} belirli bir değere ulaştığında akaç akımı sıfıra düşer ve V_{DS} değerinden bağımsız hale gelir. Bu andaki kapı-kaynak gerilimi kısma gerilimi olarak adlandırılır ve V_P veya $V_{GS(kesim)}$ ile gösterilir. Şekil 1.5'ten V_P 'nin, n-kanallı FET için negatif, p-kanallı FET için pozitif bir gerilim olduğu görülmektedir.



Şekil 1.5. JFET'in Akaç-Kaynak karakteristik eğrileri

3. Transfer Eğrisi

JFET için diğer bir karakteristik eğri de, transfer karakteristik eğrisidir. Bu eğri, sabit V_{DS} akaç-kaynak gerilimi için, I_D akaç akımının V_{GS} kapı-kaynak gerilimine göre değişimini gösterir. Transfer karakteristik eğrisindeki en önemli noktalar I_{DSS} ve V_P noktalarıdır. Bu iki nokta koordinat eksenlerine

yerleştirildiğinde, diğer noktalar, bu transfer karakteristik eğrisine bakılarak yada aşağıdaki denklem kullanılarak bulunabilir:

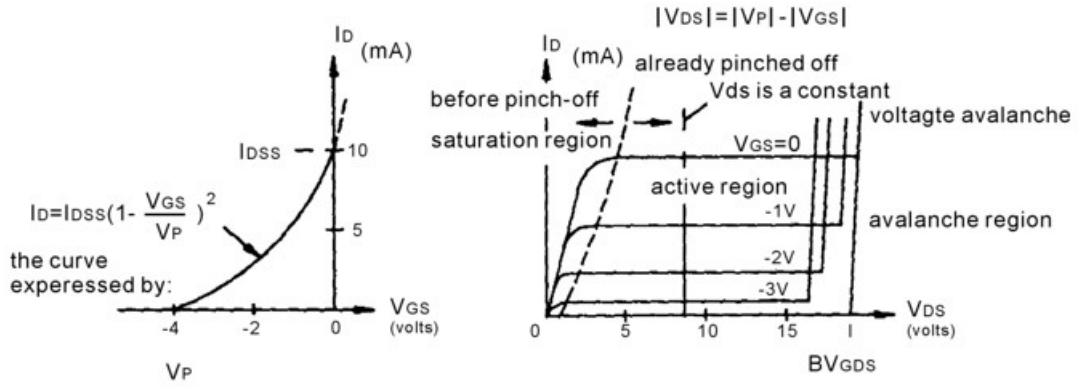
$$I_D = I_{DSS} \left(1 - \frac{V_{GS}}{V_P}\right)^2 \quad (1.1)$$

Denklem (1)'den:

$V_{GS} = 0$ iken, $I_D = I_{DSS}$ iken,

$V_{GS} = V_P$

JFET'in ögerilimi, transfer eğrisinde V_P ve I_{DSS} 'nin ortasında olacak şekilde tasarlanır.

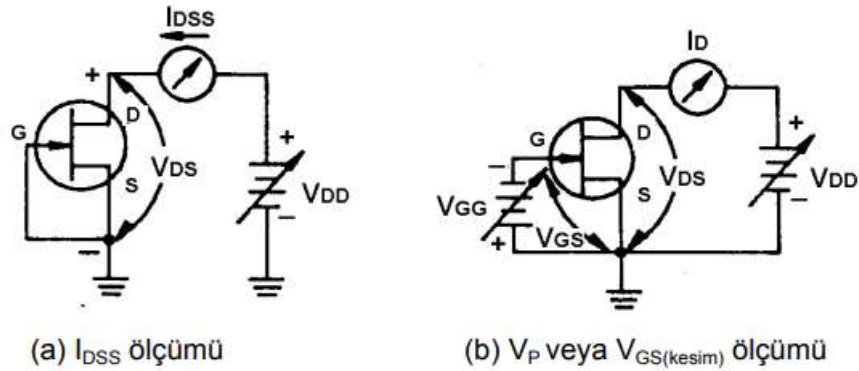


Şekil 1.6. JFET için akçe-kaynak karakteristiđi ve transfer eğrisi

I_{DSS} ve V_P ölçüm devrelerinde,

Şekil 1.7 (a)'da $V_{GS} = 0$;

Şekil 1.7 (b)'de V_{GS} yüksek negatif bir gerilim



Şekil 1.7. I_{DSS} ve V_P ölçüm devreleri

Deney Adımları:

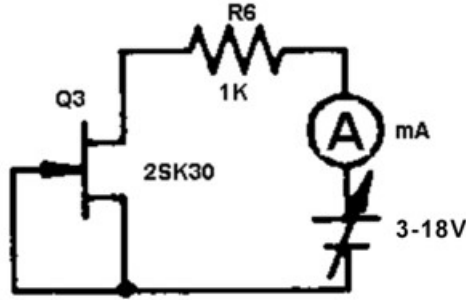
A. I_{DSS} Ölçümü

1. Şekil 1.8'deki devre bağlantı diyagramı yardımıyla gerekli bağlantıları yapınız.
2. I_{DSS} akımını ölçmek için ampermetreyi bağlayınız.
3. $V+$ (V_{DD}) değerini, 3V ile 18V arasında, Tablo 1.1'de verilen değerlere, ayarlayın. Ampermetre

yardımıyla I_{DSS} değerini ölçün ve Tablo 1.1'e kaydediniz.

Tablo 1.1. Ölçüm hesaplama tablosu

V_{DD} (V)	3	4	5	7	9	12	15	18
I_{DSS} (mA)								



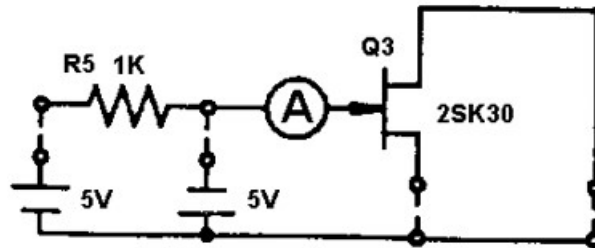
Şekil 1.8. I_{DSS} ölçüm devresi

B. I_{GS} Ölçümü

1. Şekil 1.9'deki devre bağlantı diyagramı yardımıyla gerekli bağlantıları yapınız.
2. I_{GS} akımını ölçmek için ampermetreyi bağlayınız.
3. V_G 'yi +5V'a bağlayın. I_{GS} değerini ölçün ve Tablo 1.2'ye kaydediniz.
4. V_G 'yi -5V'a bağlayın. I_{GS} değerini ölçün ve Tablo 1.2'ye kaydediniz.

Tablo 1.1. Ölçüm hesaplama tablosu

V_{GS}	I_{GS}
+5V	
-5V	

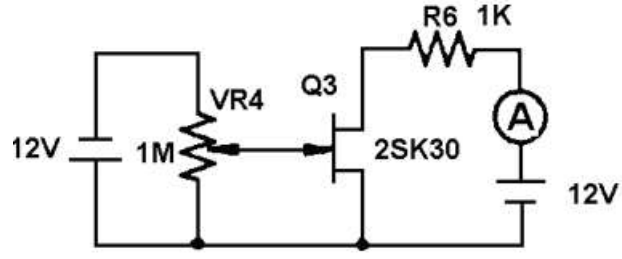


Şekil 1.9. I_{GS} ölçüm devresi

C. I_{GS} Ölçümü

1. Şekil 1.10'daki devre bağlantı diyagramı yardımıyla gerekli bağlantıları yapınız.
2. I_D değerini ölçmek için ampermetre bağlayınız.
3. $I_D = 0$ olacak şekilde $V_{R4}(1M\Omega)$ 'ü ayarlayınız.

4. $I_D=0$ iken, voltmetreyi kullanarak V_{GS} gerilimini ölçün. $V_{GS}=V_P=$ __.



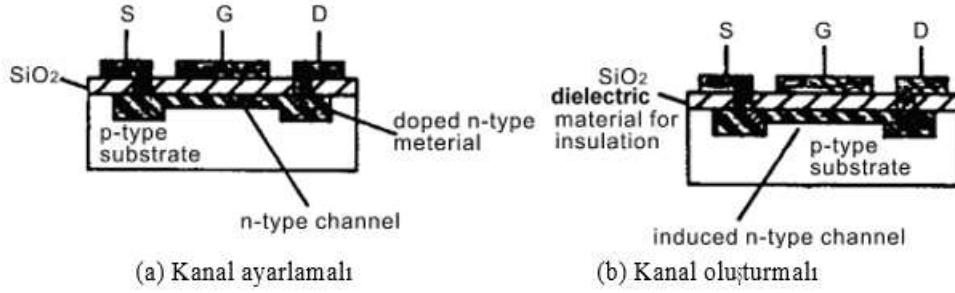
Şekil 1.10. V_p ölçüm devres

Deney No:	2
Deney Adı:	MOSFET Karakteristikleri

Teorik Bilgi:

MOSFET'in Yapısı, Karakteristikleri ve Devre Sembolleri

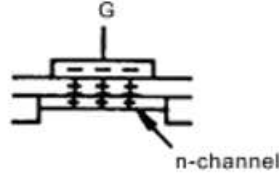
MOSFET'ler kanal ayarlamalı MOSFET ve kanal oluşturmalı MOSFET olmak üzere ikiye ayrılır. Bu iki tür MOSFET'in yapıları sırasıyla Şekil 2.1(a) ve (b)'de gösterilmiştir. Kanal ayarlamalı MOSFET'te kanal zaten mevcut olduğu için, V_{DS} gerilimi uygulanır uygulanmaz I_{DS} akımı akmaya başlar. Kanal oluşturmalı MOSFET'te ise başlangıçta kanal mevcut olmadığından, önce kanalı oluşturmak üzere pozitif (p-kanallı için) ya da negatif iyonları (n-kanallı için) endüklemek için kapıya gerilim uygulanmalı ondan sonra da I_{DS} akımını oluşturmak için V_{DS} gerilimi uygulanmalıdır.



Şekil 2.1. MOSFET'in yapısı

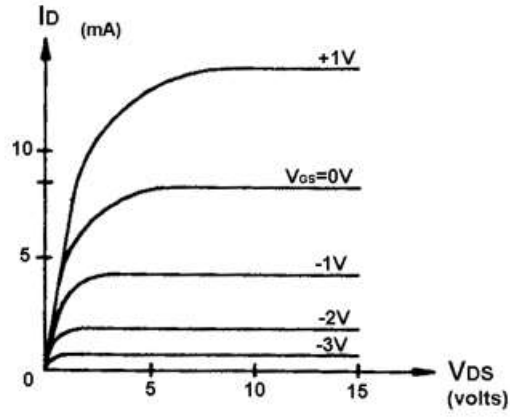
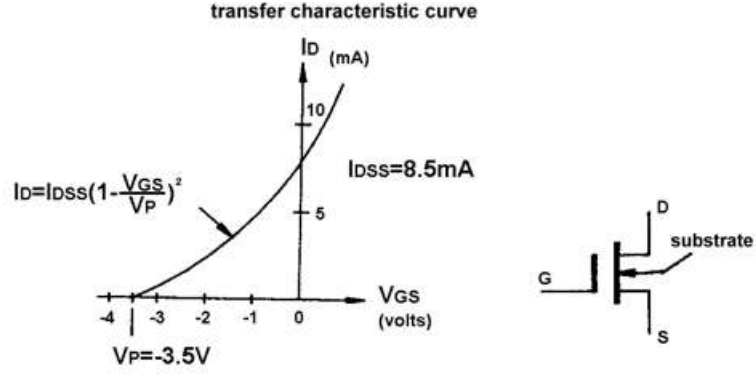
Kanal Ayarlamalı MOSFET Karakteristikleri

Kanal ayarlamalı MOSFET'te boşaltılmış bölgenin nasıl oluştuğu, Şekil 2.2'de gösterilmiştir.



Şekil 2.2. Kanal ayarlamalı MOSFET'te boşaltılmış bölge

G'ye negatif gerilim uygulandığında, n-tipi kanaldaki negatif yükler, endüklenmiş pozitif yüklerle birleşerek boşaltılmış bölgenin genişlemesine sebep olur. Aksine pozitif VGS geriliminin uygulanmasıyla daha fazla negatif yük endüklenir ve kanalın iletkenliği artar. Bu da akımın artmasına sebep olur.

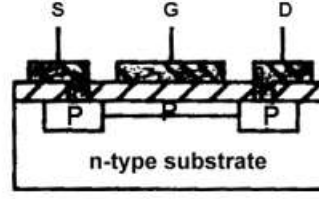


Şekil 2.3. N-kanallı kanal ayarlamalı MOSFET

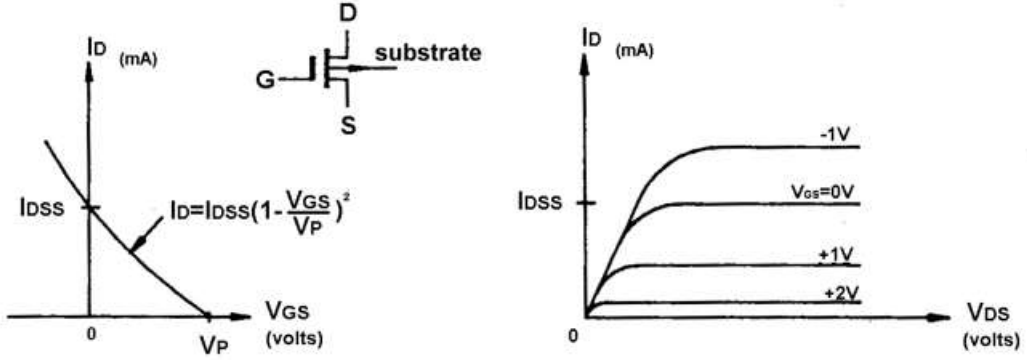
Şekil 2.3'te gösterilen n-kanallı kanal ayarlamalı MOSFET'in karakteristik eğrisinden, bu FET'in hem negatif hem de pozitif V_{GS} gerilimlerinde çalışabileceği görülmektedir. Negatif V_{GS} gerilimi, kısma meydana gelip I_D akımı akmayana kadar akaç akımını azaltır. Kapı kanaldan izole edilir ve V_{GS} 'nin pozitif veya negatif olmasına bakmaksızın I_{GS} akımı sıfırdır.

Kanal Ayarlamalı MOSFET'in Devre Sembolü

Şekil 2.3(a) kanal ayarlamalı MOSFET'in devre sembolünü göstermektedir. Bu sembol, G, D ve S uçlarına ilave olarak, altkatman (substrate) olarak ifade edilen ve eleman tipini tanımlayan başka bir uca daha sahiptir. Altkatman sembolü bir ok içermektedir ve burada okun yönü, MOSFET'in n-kanallı olduğunu belirtmektedir. P-kanallı kanal ayarlamalı MOSFET'in sembolü, yapısı ve karakteristik eğrisi Şekil 2.4'te gösterilmiştir.



(a) Yapısı



(b) Karakteristik eğrileri

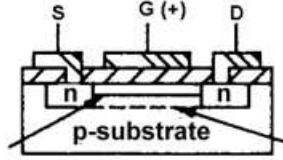
Şekil 2.4. P-kanallı kanal ayarlamalı MOSFET

Kanal Oluşturmalı MOSFET Karakteristikleri

Şekil 2.5'te, temel eleman yapısı olarak D ile S arasında bir kanala sahip olmayan, n-kanallı kanal oluşturmalı MOSFET'in yapısı gösterilmiştir. D ile S arasına $+V_{GS}$ uygulandığında, endüklenen negatif yükler bir kanal oluşturur. Şekil 2.5(c)'de karakteristik eğri gösterilmiştir. Bu şekilden, V_{GS} gerilimi V_T eşik gerilimini aşmadığı sürece I_D akımı üretilmeyeceği görülmektedir. V_{GS} , eşik gerilimini aşarsa I_D akımı artmaya başlar. Transfer karakteristik eğrisi denklem 2.1 kullanılarak çizilebilir.

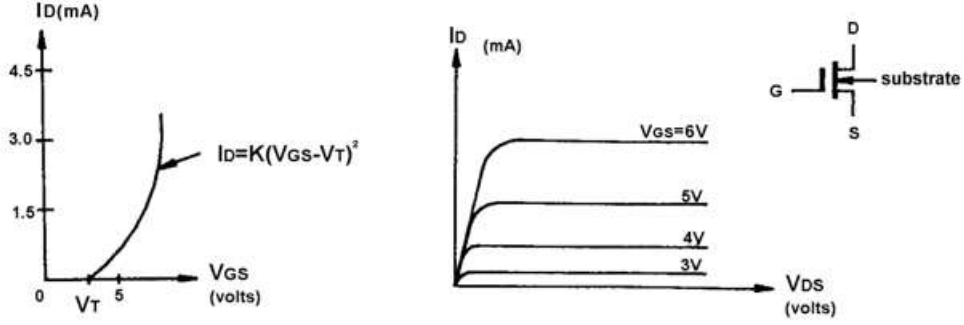
$$I_D = K (V_{GS} - V_T)^2 \quad (2.1)$$

K değeri genellikle $0.3\text{mA}/\text{V}^2$ olarak alınır. $V_{GS}=0$ iken akış akımı akmadığı için formülde I_{DSS} kullanılmamıştır. Kanal oluşturmalı MOSFET, çalışma aralığı bakımından, kanal ayarlamalı MOSFET'e göre daha kısıtlı olmasına karşın, daha basit yapısı ve daha küçük boyutlarda üretilebilmesi dolayısıyla büyük ölçekli tümdevrelerde yaygın olarak kullanılır.



When the positive voltage applied in gate has exceeded V_T , the n-channel can be formed.

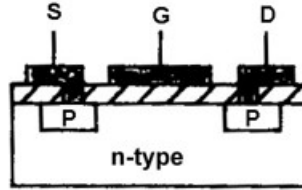
(a) Yapısı



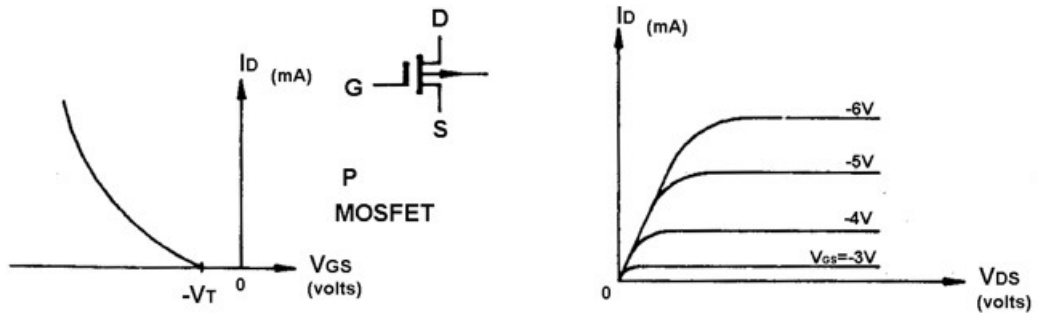
(b) Karakteristik eğrileri

Şekil 2.5. N-kanallı kanal oluşturmali MOSFET

P-kanallı kanal oluşturmali MOSFET'in yapısı ve karakteristik eğrileri Şekil 2.6'da gösterilmiştir.



(a) Yapısı

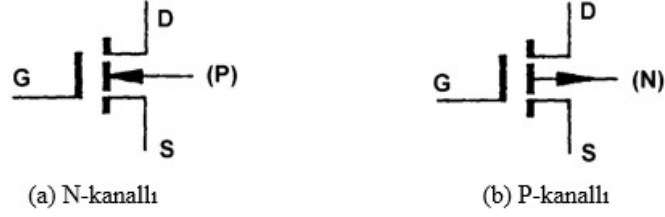


(b) Karakteristik eğrileri

Şekil 2.6. P-kanallı kanal oluşturmali MOSFET

Kanal Oluşturmali MOSFET'in Devre Sembolleri

D ile S arasındaki kesik çizgiler, başlangıçta D ile S arasında kanal olmadığını belirtir.



Şekil 2.7. Kanal oluşturmali MOSFET'in devre simgeleri

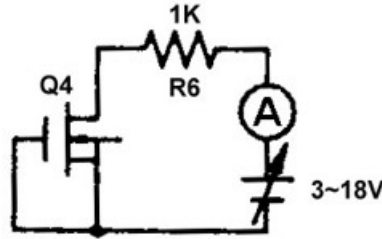
Deney Yapılışı:

A. I_{DSS} Ölçümü

1. Şekil 2.8'deki devre bağlantı diyagramı yardımıyla gerekli bağlantıları yapınız.
2. I_{DSS} akımını ölçmek için ampermetreyi bağlayınız.
3. V_+ (V_{DD}) değerini, 3V ile 18V arasında, Tablo 1.1'de verilen değerlere, ayarlayın. Ampermetre yardımıyla I_{DSS} değerini ölçün ve tablo 2.1'e kaydediniz.

Tablo 2.1. Ölçüm hesaplama tablosu

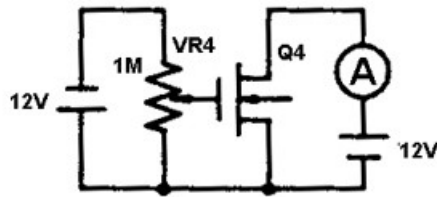
V_{DD} (V)	3	4	5	7	9	12	15	18
I_{DSS} (mA)								



Şekil 2.8. I_{DSS} ölçüm devresi

B. I_{GS} Ölçümü

1. Şekil 2.9'daki devre bağlantı diyagramı yardımıyla gerekli bağlantıları yapınız.
2. I_D değerini ölçmek için ampermetre bağlayınız.
3. $I_D=0$ olacak şekilde V_{R4} ($1M\Omega$)'ü ayarlayınız.
4. $I_D=0$ iken, voltmetreyi kullanarak V_{GS} gerilimini ölçün. $V_{GS}=V_P=$ __.
5. $V_{GS}=0V$ olacak şekilde V_{R4} 'ü ayarlayın. I_D akımını ölçün. $I_D=$ _____mA



Şekil 2.9. V_P ölçüm devresi

Deney No:	3
Deney Adı:	Eviren Yükselteç Devresi

Teorik Bilgi:

Opamp, iki girişli yüksek voltaj kazanç, kuvvetlendiricisidir. Girişlerden biri terslendirmeyen (noninverting) giriş olarak adlandırılır ve (+) işareti ile gösterilir. Diğer giriş ise terslendiren (inverting) giriş olarak adlandırılır ve (-) işareti ile gösterilir. Opamp, iki giriş arasında görülen her voltaj farkını kuvvetlendirir ve opampın açık çevrim kazancıyla çarpılarak çıkışa aktarılır.

$$V_o = A_{o1}[V_1 - V_2]$$

V_o : Çıkış voltajı

A_{o1} : Opampın açık çevrim kazancı

V_1 : Terslendirmeyen girişteki voltaj

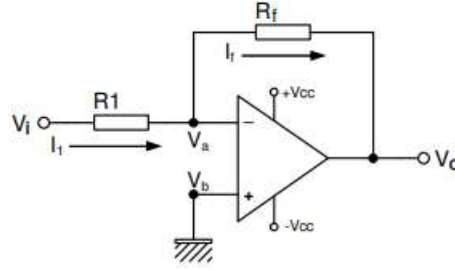
V_2 : Terslendiren girişteki voltaj

İdeal bir opamp aşağıdaki özelliklere sahiptir:

- 1) Sonsuz voltaj kazancı ($A_{o1} = \infty$) terslendirmeyen ve terslendiren girişler arasındaki çok küçük bir potansiyel farkı, maksimum çıkış voltajına sahip olur.
- 2) Giriş direnci sonsuzdur ($R_i = \infty$). Girişler arasındaki potansiyel farkı, giriş terminallerinden akım akmasına izin vermez.
- 3) Çıkış direnci sıfırdır ($R_o = 0$)
- 4) Sonsuz bant genişliği vardır ($BG = \infty$). Opamp tüm frekansları eşit olarak kuvvetlendirir.
- 5) Sıfır ofset. Girişler arasındaki potansiyel farkı 0V olduğunda, çıkış 0V olur.

Bu beş ideal özellik hiçbir opampta bulunmaz. Birçok opamp ayrı bir güç kaynağına ihtiyaç duyar. Bu güç kaynağının üç adet bağlantı ucu vardır. Biri $+V_{CC}$, diğeri $-V_{EE}$ ve sonuncusu toprağa bağlanan ortak uçtur (common). Çoğu modern opamp devreleri simetrik olmak şartıyla 3V ile 15V arasında bir güç kaynağına ihtiyaç duyar. Bu deneylerde ise +12V ve - 12V kullanılacaktır.

Şekil 3.1' de eviren yükselteç devresi görülmektedir.



Şekil 3.1. Eviren yükselteç devresi

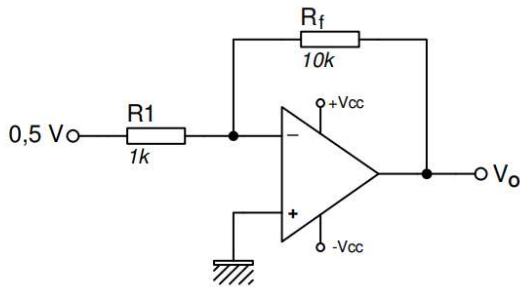
OP AMP devrelerinin analizinde, OP AMP' ların iki özelliğinden yararlanılacaktır.

1. OP AMP girişleri zahiri kısa devredir. Buna göre : $V_a = V_b = 0$
2. OP AMP girişleri akım çekmez. Buna göre: $I_1 = I_f \Rightarrow \frac{V_i - V_a}{R_1} = \frac{V_a - V_0}{R_f} \Rightarrow \frac{V_i - 0}{R_1} = \frac{0 - V_0}{R_f}$

$$\frac{V_i}{R_1} = \frac{-V_0}{R_f} \Rightarrow \frac{V_0}{V_i} = \frac{-R_f}{R_1} = A_v \text{ ve } V_0 = \frac{-R_f}{R_1} V_i$$

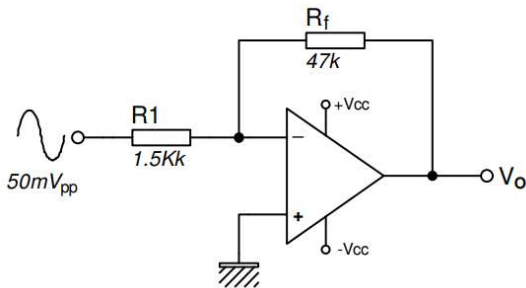
Görüldüğü gibi giriş sinyali, A_v (gerilim kazancı) oranında yükseltilmekte ve fazı 180° terslenmektedir.

Örnek: Şekildeki devrenin kazancını ve çıkış geriliminin değerini hesaplayın.



$$\frac{-R_f}{R_1} = A_v = \frac{-10}{1} = -10 \quad V_0 = A_v V_i = -10 \cdot (0.5 \text{ V}) = -5 \text{ V}$$

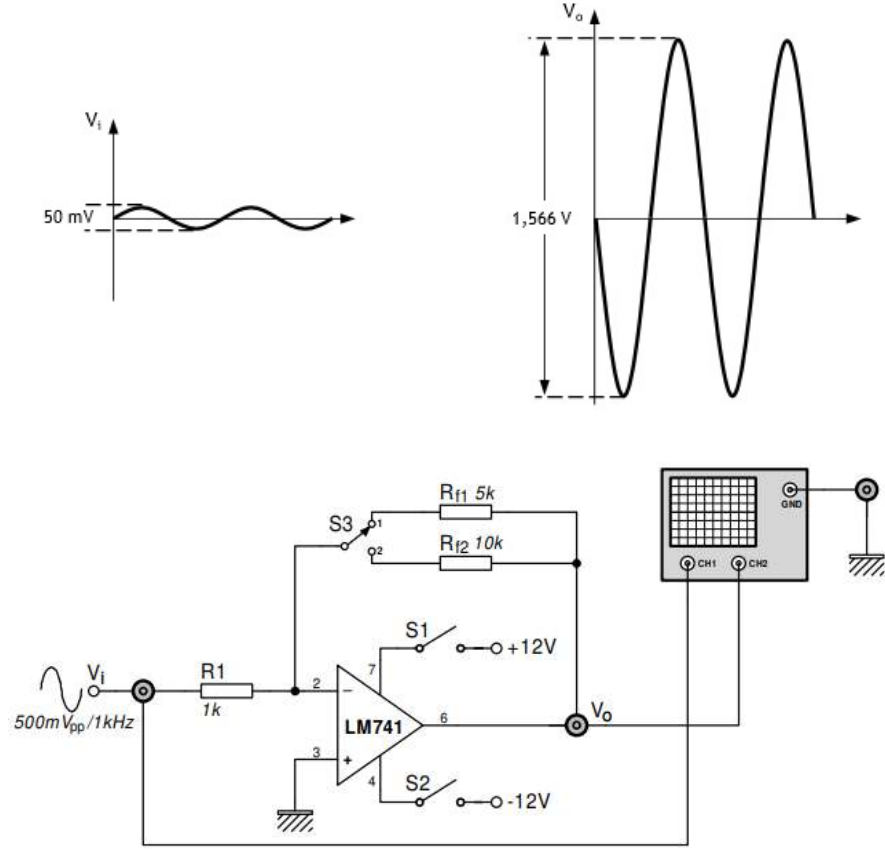
Örnek: Şekildeki devrenin kazancını ve çıkış sinyalinin değerini hesaplayın.



$$\frac{-R_f}{R_1} = A_v = \frac{-47}{1.5} = -31.33 \quad V_0 = A_v V_i = -31.33 \cdot (50 \text{ mV}_{pp}) = -1.566 \text{ V}_{pp}$$

Çıkıştan, tepeden tepeye 1,566 V' luk bir sinüs sinyal alınacak ve girişle arasında 180° faz farkı olacaktır.

Giriş ve çıkış sinyalleri aşağıda görülmektedir.



Şekil 3.2. Devre şeması

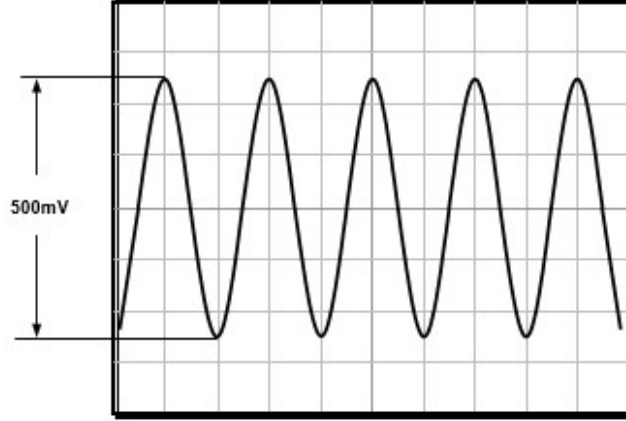
Deney Yapılışı

1. R_{f1} ve R_{f2} dirençleri için devrenin gerilim kazancını (A_V) hesaplayınız.
2. S_1 ve S_2 anahtarlarını kapatarak devreye enerji veriniz.
3. S_3 anahtarını 1 nolu konuma alarak devrenin girişine $500mV_{pp}/1kHz$ sinüs dalga sinyal uygulayınız.
4. Devrenin çıkışını osilaskopla ölçerek, çıkış sinyalini çiziniz.
5. Ölüştüğünüz çıkış sinyalinin giriş sinyaline oranını hesaplayıp, sonucu kazanç (A_V) olarak tablo 3.1'e kaydediniz.
6. S_3 anahtarını 2 nolu konuma alarak gözlemlerinizi tekrarlayınız.
7. Ölçüm ve hesaplama sonuçlarını karşılaştırınız.

V_i

$V/d: 100mV$

$T/d: 0.5ms$

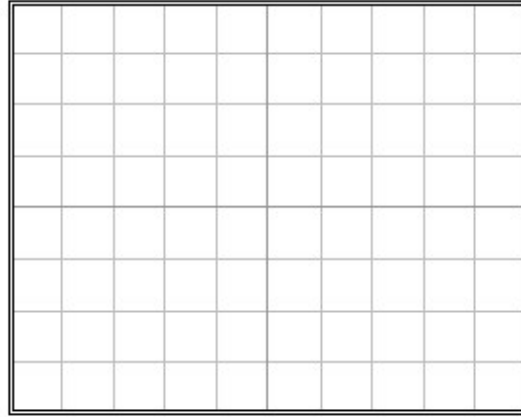


V_o

$R_f=5k$

$V/d:$

$T/d:$

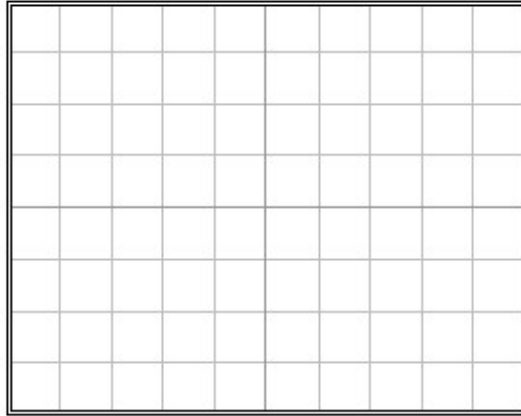


V_o

$R_f=10k$

$V/d:$

$T/d:$



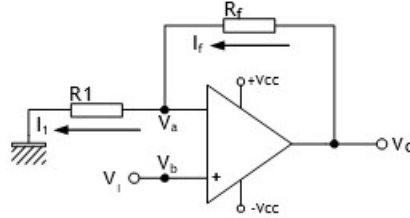
Tablo 3.1. Ölçüm hesaplama tablosu

	$A_V=V_o/V_i$	
	$R_f=5k$	$R_f=10k$
Hesaplanan		
Ölçülen		

Deney No:	4
Deney Adı:	Evirmeyen Yükselteç Devresi

Teorik Bilgi:

Şekil 4.1' de evirmeyen yükselteç devresi görülmektedir.



Şekil 4.1. Evirmeyen yükselteç devresi

Devrenin analizi yapılacak olursa,

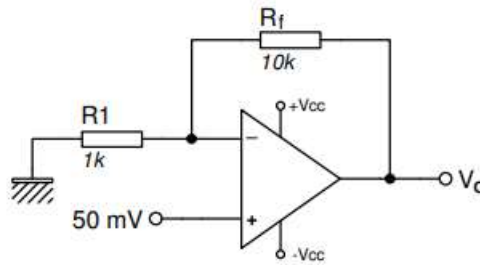
$$V_a = V_b = V_i$$

$$I_1 = I_f \rightarrow \frac{V_i - 0}{R_1} = \frac{V_o - V_i}{R_f} \rightarrow \frac{V_i}{R_1} = \frac{V_o - V_i}{R_f}$$

$$V_o = \left(1 + \frac{R_f}{R_1}\right) \cdot V_i \text{ ve } \frac{V_o}{V_i} = 1 + \frac{R_f}{R_1} = A_v$$

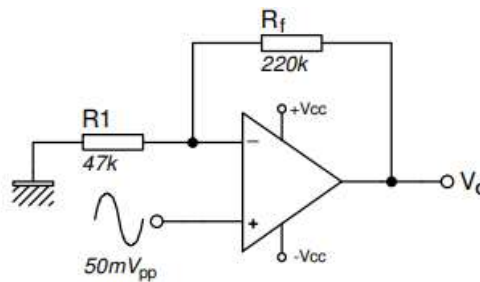
sonuçları elde edilir. Görüldüğü gibi giriş sinyali, A_v oranında yükseltilmekte ve fazı değişmemektedir.

Örnek: Şekildeki devrenin kazancını ve çıkış geriliminin değerini hesaplayın.



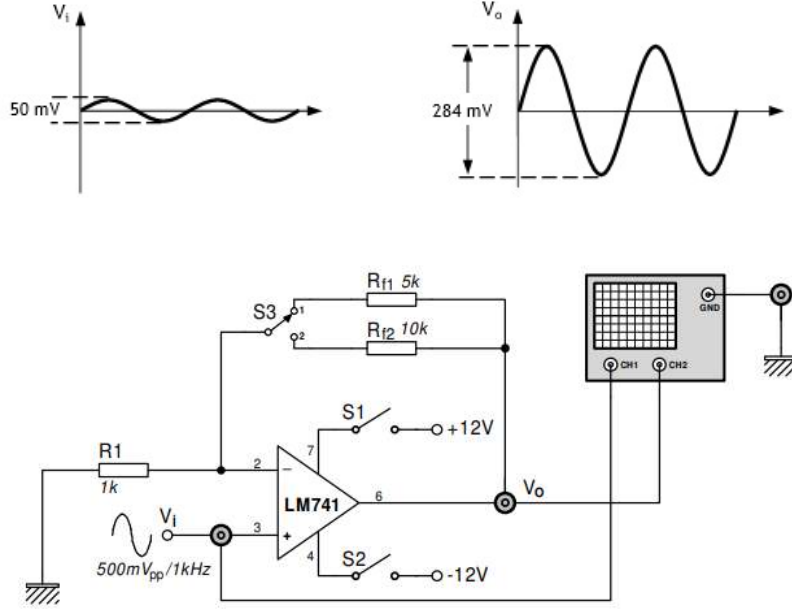
$$1 + \frac{R_f}{R_1} = A_v \rightarrow 1 + \frac{10}{1} = 11 \quad V_o = A_v V_i = 11 \cdot (50 \text{ mV}) = 550 \text{ mV}$$

Örnek: Şekildeki devrenin kazancını ve çıkış sinyalinin değerini hesaplayın.



$$1 + \frac{R_f}{R_1} = A_v \rightarrow 1 + \frac{220}{47} = 5,68 \quad V_o = A_v V_i = 5,68 \cdot (50 \text{ mV}_{pp}) = 284 \text{ mV}_{pp}$$

Çıkıştan tepeden tepeye 284 mV' luk bir sinüs sinyal alınacak ve girişle arasında faz farkı olmayacaktır. Giriş ve çıkış sinyallerinin şekilleri aşağıda görülmektedir.



Şekil 4.2. Devre şeması

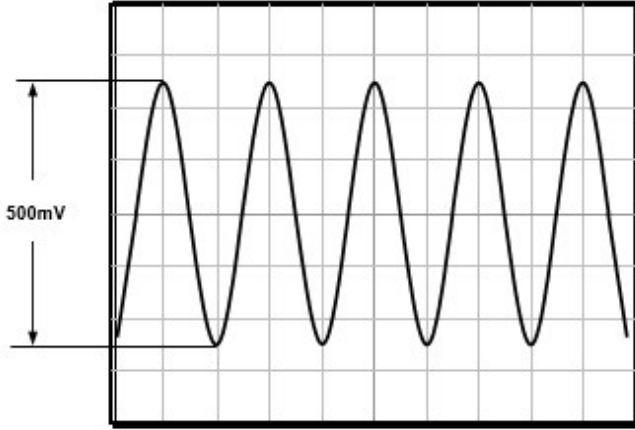
Deney Yapılışı

1. R_{f1} ve R_{f2} dirençleri için devrenin gerilim kazancını (A_V) hesaplayınız.
2. S_1 ve S_2 anahtarlarını kapatarak devreye enerji veriniz.
3. S_3 anahtarını 1 nolu konuma alarak devrenin girişine $500mV_{PP}/1kHz$ sinüs dalga sinyal uygulayınız.
4. Devrenin çıkışını osilaskopla ölçerek, çıkış sinyalini çiziniz.
5. Öltüğünüz çıkış sinyalinin giriş sinyaline oranını hesaplayıp, sonucu kazanç (A_V) olarak tablo 4.1'e kaydediniz.
6. S_3 anahtarını 2 nolu konuma alarak gözlemlerinizi tekrarlayınız.
7. Ölçüm ve hesaplama sonuçlarını karşılaştırınız.

V_i

$V/d: 100mV$

$T/d: 0.5ms$

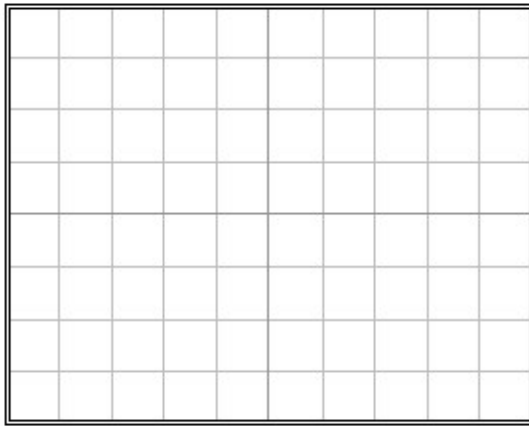


V_o

$R_f=5k$

$V/d:$

$T/d:$

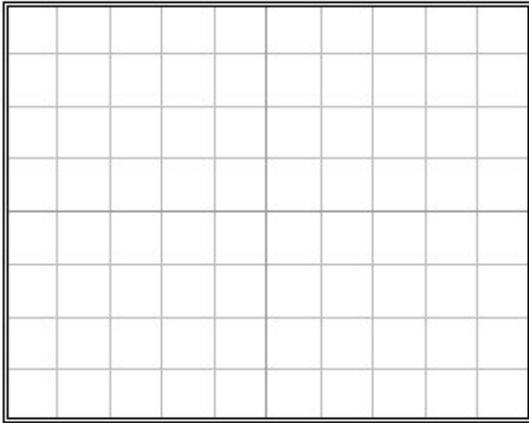


V_o

$R_f=10k$

$V/d:$

$T/d:$



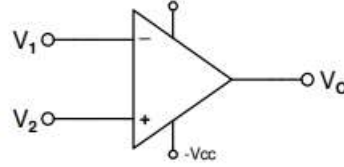
Tablo 4.1. Ölçüm hesaplama tablosu

	$A_V=V_o/V_i$	
	$R_f=5k$	$R_f=10k$
Hesaplanan		
Ölçülen		

Deney No:	5
Deney Adı:	Karşılaştırıcı Devresi

Teorik Bilgi:

Şekil 5.1' de karşılaştırıcı devresi görülmektedir.



Şekil 5.1. Karşılaştırıcı devresi

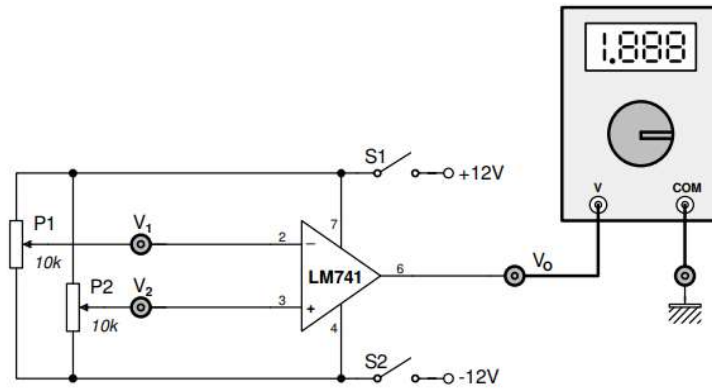
Dikkat edilecek olursa şimdiye kadarki OP AMP uygulamalarının aksine sadece bu devrede geribesleme direnci (R_f) kullanılmamıştır. OP AMP özelliklerinden hatırlanılacak olursa, geribeslemesiz gerilim kazancı çok yüksektir. Bu nedenle girişler arasındaki birkaç mikro voltluk farklarda bile çıkış gerilimi pozitif veya negatif besleme gerilimine çıkar. Böylece devre iki girişi kıyaslayan çok hassas bir karşılaştırıcı olarak çalışır. Çıkış geriliminin alacağı değerler,

$$V_1 > V_2 \Rightarrow V_o = -V_{CC}$$

$$V_2 > V_1 \Rightarrow V_o = +V_{CC}$$

$$V_1 = V_2 \Rightarrow V_o = 0$$

şeklinde olur. Ancak kısa devre etmek dışında girişlere uygulanan gerilimleri eşit yapmak neredeyse imkânsızdır. Ayrıca çıkış geriliminin sıfır olabilmesi için ayrıca ofset ayarının yapılması da gereklidir. Dolayısıyla eşitlik durumunu çıkışta görmek pek olası değildir.



Şekil 5.2. Devre Şeması

Deney Yapılışı

1. Tablo 5.1'de verilen değerler için çıkış gerilimini hesaplayın. Çıkış geriliminin, besleme gerilimi değerinin 1~2 Volt aşağısına kadar çıkabileceğini dikkate alın.
2. S_1 ve S_2 anahtarlarını kapatarak devreye enerji veriniz.
3. P_1 ve P_2 potansiyometrelerini kullanarak değişik V_1 ve V_2 gerilimlerine karşılık gelen V_o çıkış gerilimlerini voltmetre ile ölçünüz.
4. Ölçüm ve hesaplama sonuçlarını karşılaştırınız.

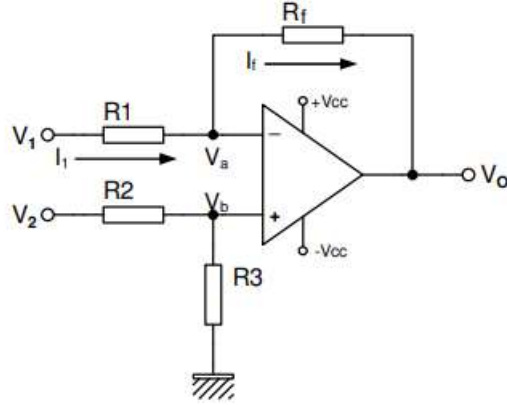
Tablo 5.1. Ölçüm hesaplama tablosu

Girişler	V_1 (V)										
	V_2 (V)										
V_o	Hesaplanan										
	Ölçülen										

Deney No:	6
Deney Adı:	Çıkarma Devresi

Teorik Bilgi:

Şekil 6.1' de çıkarma devresi görülmektedir.



Şekil 6.1. Çıkarma Devresi

Devrenin analizi yapılacak olursa,

$$R_1 = R_2 = R_3 = R_f = R$$

$$V_a = V_b = \frac{V_2}{2}$$

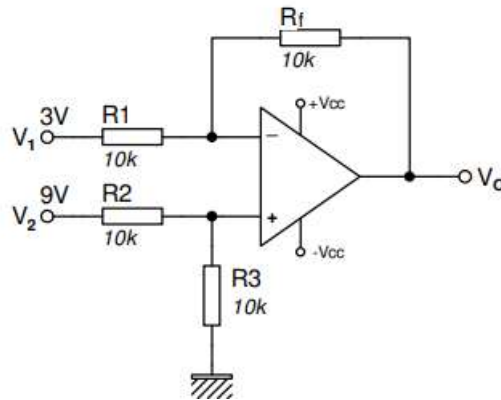
$$I_1 = I_f \rightarrow \frac{V_1 - V_a}{R_1} = \frac{V_a - V_0}{R_f} \rightarrow \frac{V_1 - \frac{V_2}{2}}{R_1} = \frac{\frac{V_2}{2} - V_0}{R_f}$$

$$R_1 = R_f \rightarrow V_1 - \frac{V_2}{2} = \frac{V_2}{2} - V_0$$

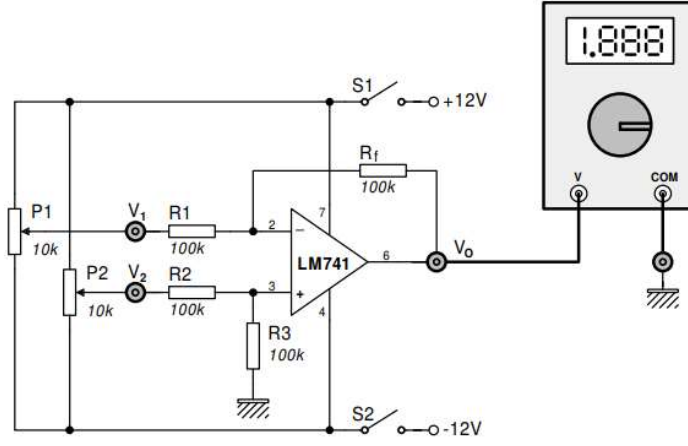
$$\frac{2V_1 - V_2}{2} = \frac{V_2 - 2V_0}{2} \rightarrow V_0 = V_2 - V_1$$

sonuçları elde edilir. Görüldüğü gibi devre, terslemeyen girişe uygulanan gerilimden tersleyen girişe uygulanan gerilimin farkını almaktadır.

Örnek: Şekildeki devrede çıkış geriliminin değerini hesaplayın.



$$V_0 = V_2 - V_1 \rightarrow V_0 = 9 - 3 = 6V$$



Şekil 6.2. Deney Şeması

Deney Yapılışı

1. Tablo 6.1’de verilen değerler için çıkış gerilimini hesaplayın. Çıkış geriliminin, besleme gerilimi değerinin 1~2 Volt aşığına kadar çıkabileceğini dikkate alın.
2. S_1 ve S_2 anahtarlarını kapatarak devreye enerji veriniz.
3. P_1 ve P_2 potansiyometrelerini kullanarak değişik V_1 ve V_2 gerilimlerine karşılık gelen V_o çıkış gerilimlerini voltmetre ile ölçünüz.
4. Ölçüm ve hesaplama sonuçlarını karşılaştırınız.

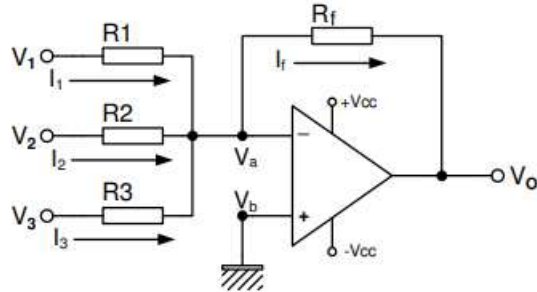
Tablo 6.1. Ölçüm hesaplama tablosu

Girişler	V_1 (V)										
	V_2 (V)										
V_o	Hesaplanan										
	Ölçülen										

Deney No:	7
Deney Adı:	Toplayıcı Devresi

Teorik Bilgi:

Şekil 7.1’ de toplayıcı devresi görülmektedir. Devrede üç giriş kullanılmıştır. Ancak giriş sayısı iki veya daha fazla olabilir.



Şekil 7.1. Toplayıcı devresi

Devrenin analizi yapılacak olursa,

$$V_a = V_b = 0$$

$$I_1 + I_2 + I_3 = I_f$$

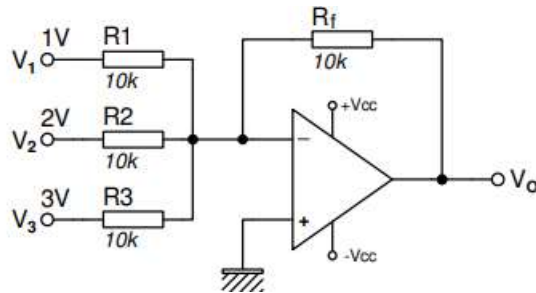
$$\frac{V_1 - V_a}{R_1} + \frac{V_2 - V_a}{R_2} + \frac{V_3 - V_a}{R_3} = \frac{V_a - V_o}{R_f}$$

$$\frac{V_1 - 0}{R_1} + \frac{V_2 - 0}{R_2} + \frac{V_3 - 0}{R_3} = \frac{0 - V_o}{R_f}$$

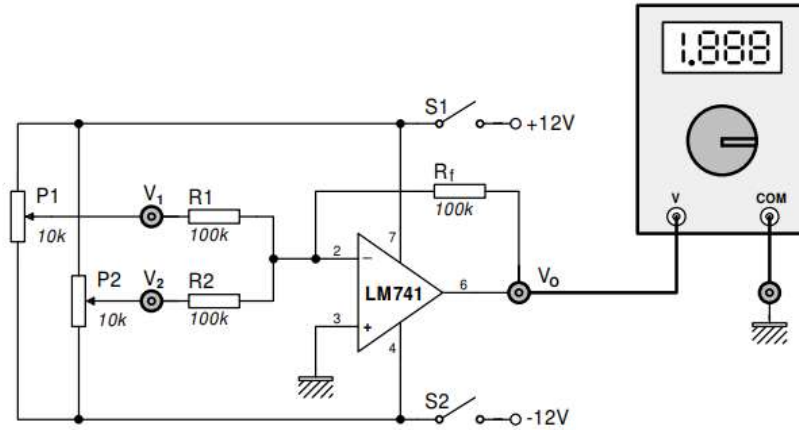
$$R_1 = R_2 = R_3 = R \rightarrow V_1 + V_2 + V_3 = -V_o \rightarrow V_o = -(V_1 + V_2 + V_3)$$

sonuçları elde edilir. Görüldüğü gibi devre, girişine uygulanan gerilimleri toplamaktadır.

Örnek: Şekildeki devrede çıkış geriliminin değerini hesaplayın.



$$V_o = -(V_1 + V_2 + V_3) \rightarrow V_o = -(1 + 2 + 3) = -6 V$$



Şekil 7.2. Deney şeması

Deney Yapılışı

1. Tablo 7.1’de verilen değerler için çıkış gerilimini hesaplayın. Çıkış geriliminin, besleme gerilimi değerinin 1~2 Volt aşığına kadar çıkabileceğini dikkate alın.
2. S₁ ve S₂ anahtarlarını kapatarak devreye enerji veriniz.
3. P₁ ve P₂ potansiyometrelerini kullanarak değişik V₁ ve V₂ gerilimlerine karşılık gelen V_o çıkış gerilimlerini voltmetre ile ölçünüz.
4. Ölçüm ve hesaplama sonuçlarını karşılaştırınız.

Tablo 7.1. Ölçüm hesaplama tablosu

Girişler	V ₁ (V)								
	V ₂ (V)								
V _o	Hesaplanan								
	Ölçülen								

Deney No:	8
Deney Adı:	Enstrumantasyon Yükselteci Devresi

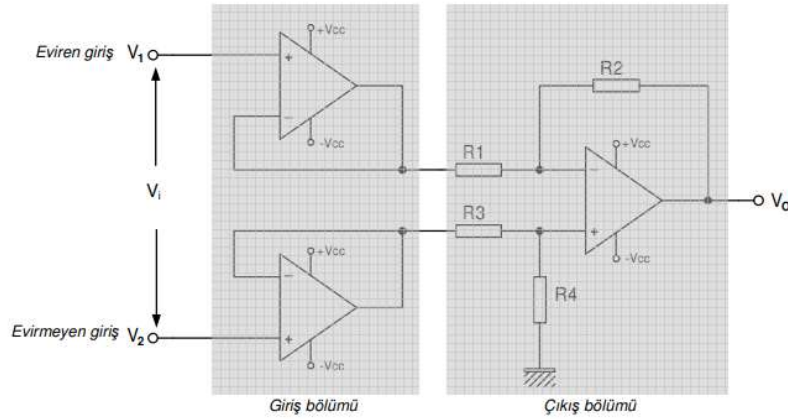
Teorik Bilgi:

Sensör ve transduserler, ortamdaki fiziksel değişimleri algılayabilen devre elemanlardır. Algılama sonucunda eleman uçlarından küçük değerli bir gerilim ya da direnç değişimi elde edilir. Dolayısıyla bu küçük değişimlerin daha büyük elektriksel işaretlere dönüştürülmesi ihtiyacı bulunmaktadır. Enstrumantasyon yükselteçleri bu küçük değişimlerin kuvvetlendirilmesi amacıyla kullanılır. Enstrumantasyon yükselteci aslında büyük kazançlı bir fark yükseltecidir.

Bir enstrumantasyon yükseltecinin temel özellikleri aşağıdaki gibi sıralanabilir.

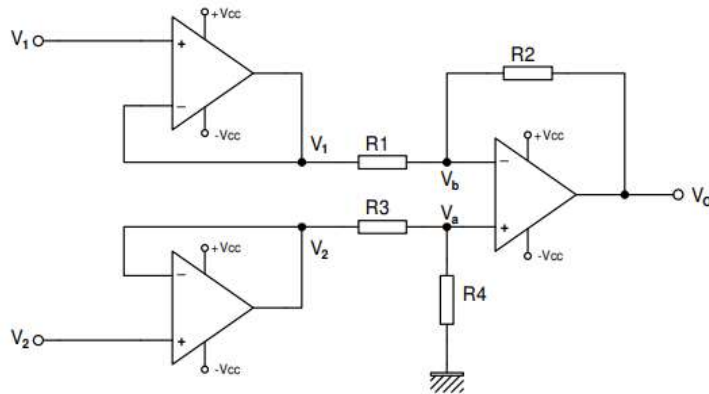
- 1- Kayma gerilimi ve sürüklenme minimize edilmiştir.
- 2- Giriş empedansı çok yüksektir.
- 3- Çıkış empedansı çok düşüktür.
- 4- Kazanç kararlıdır.
- 5- Doğrusal olmayan özellikler en aza indirgenmiştir.
- 6- CMRR çok yüksektir.

Temel enstrumantasyon yükselteci devresi şekil 8.1’ de görülmektedir.



Şekil 8.1. Temel enstrumantasyon yükselteci

Temel enstrumantasyon yükselteci, eviren ve evirmeyen girişler için gerilim izleyici olarak düzenlenmiş giriş bölümü ile fark yükselteç olarak çalışan çıkış bölümünden meydana gelir.



Şekil 8.2. Temel enstrumantasyon yükselteci çıkış geriliminin bulunması

Gerilim izleyici olarak düzenlenmiş giriş bölümündeki OP AMP' ların çıkışında girişlerine uygulanan gerilimler aynen görülür (şekil 8.2). Giriş bölümündeki bu OP AMP' lar için kazanç 1 olmakla beraber, devrenin giriş empedansı oldukça yüksek olacaktır. Devrenin çıkış gerilimi,

$$\frac{V_1 - V_b}{R_1} = \frac{V_b - V_o}{R_2}$$

$$V_a = V_b = V_2 \frac{R_4}{R_3 + R_4}$$

$$\frac{V_1 - V_2 \frac{R_4}{R_3 + R_4}}{R_1} = \frac{V_2 \frac{R_4}{R_3 + R_4} - V_o}{R_2}$$

$$\left[V_1 - V_2 \frac{R_4}{R_3 + R_4} \right] R_2 = \left[V_2 \frac{R_4}{R_3 + R_4} - V_o \right] R_1$$

$$V_1 R_2 - V_2 \frac{R_2 R_4}{R_3 + R_4} - V_2 \frac{R_1 R_4}{R_3 + R_4} = -V_o R_1$$

$$V_1 R_2 - V_2 R_4 \left[\frac{R_1 + R_2}{R_3 + R_4} \right] = -V_o R_1$$

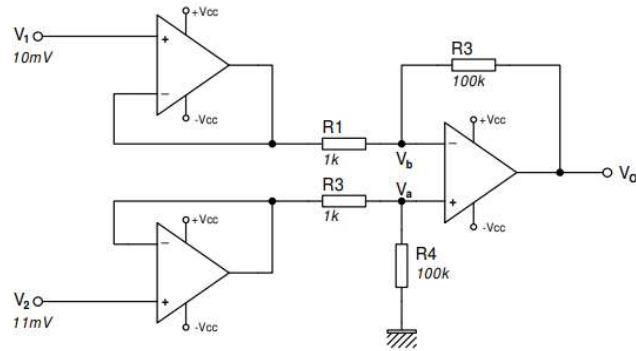
$R_1 = R_3$ ve $R_2 = R_4$ durumunda,

$$V_1 R_2 - V_2 R_2 = -V_o R_1$$

$$V_o = \frac{R_2}{R_1} [V_2 - V_1]$$

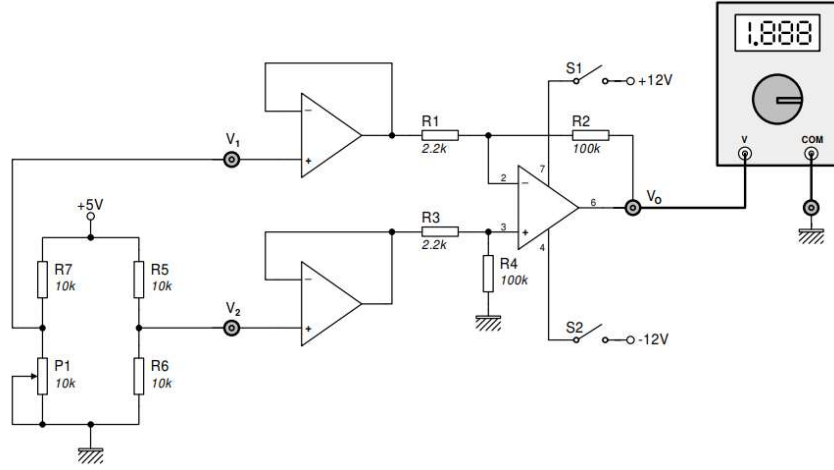
$$V_2 - V_1 = V_i \rightarrow V_o = \frac{R_2}{R_1} [V_i]$$

Örnek:



$$V_2 - V_1 = V_i = 11 - 10 = 1mV$$

$$V_o = \frac{R_2}{R_1} [V_i] = \frac{100}{1} 1mV = 100mV$$



Şekil 8.3. Deney Şeması

Deney Yapılışı

1. Tablo 8.1’de verilen giriş gerilimi değerleri için çıkış gerilimi değerlerini hesaplayınız.
2. S_1 ve S_2 anahtarlarını kapatarak devreye enerji veriniz.
3. P1 potansiyometresi yardımıyla giriş gerilimini Tablo 8.1’de verilen değerler için ayarlayıp, bu değerlere karşılık gelen çıkış gerilimi değerlerini ölçünüz.
4. Ölçüm ve hesaplama sonuçlarını karşılaştırınız.

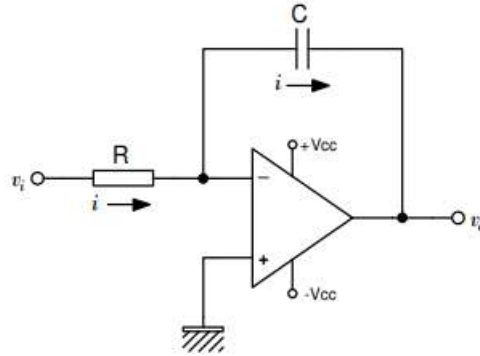
Tablo 8.1. Ölçüm hesaplama tablosu

V_i	10mV	25mV	50mV	75mV	100mV	150mV	200mV
Hesaplanan V_o							
Ölçülen V_o							

Deney No:	9
Deney Adı:	İntegral Devresi

Teorik Bilgi:

İntegral devresi şekil 9.1’de görülmektedir.



Şekil 9.1. İntegral devresi

OP AMP girişleri akım çekmediğinden, devredeki direnç ve kondansatör üzerinden geçen akımlar birbirine eşittir.

$$i = \frac{v_i}{R} \quad \text{ve} \quad i = c \frac{dv_c}{dt}$$

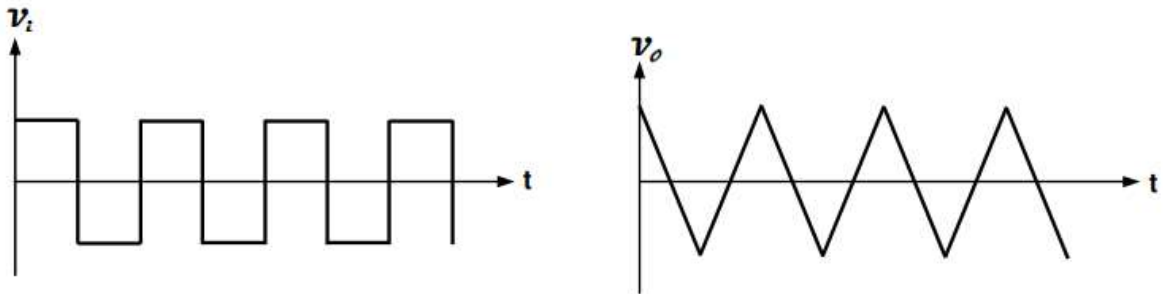
Devrenin çıkış gerilimi kondansatör üzerindeki gerilime eşit olup 180o faz farklıdır. Buna göre devrenin çıkış gerilimi,

$$v_c = -v_o$$

$$\frac{v_i}{R} = -c \frac{dv_o}{dt}$$

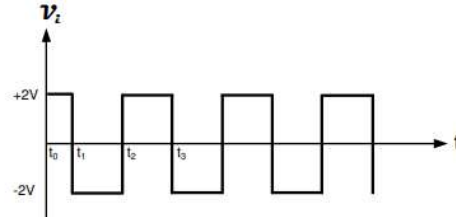
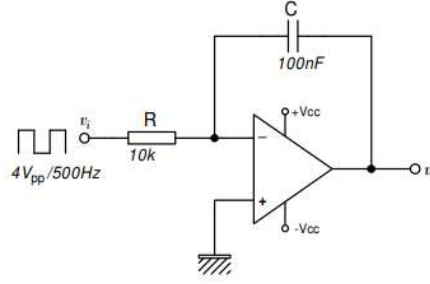
$$v_o = -\frac{1}{RC} \int v_i dt + v_{o(ilk)} \text{ olarak bulunur.}$$

Görüldüğü gibi çıkış gerilimi, hem giriş geriliminin genliğine (yükseklik) hem de zamana (genişlik) bağlıdır. Dolayısıyla bu bir grafiğin alan ölçümüdür. Devre, girişine uygulanan kare dalgayı üçgen dalgaya çevirirken, girişine uygulanan üçgen dalgayı ise sinüse çevirir. Ayrıca girişe uygulanan sinüs dalga sinyaller için alçak geçiren filtre olarak çalışır.



Şekil 9.2. İntegral devresi giriş-çıkış sinyalleri

Örnek:



Devre girişine uygulanan kare dalga sinyalin frekansı 500Hz olduğuna göre, periyodu

$$T = \frac{1}{f} = \frac{1}{500} = 0,002s = 2ms$$

t₀-t₁ aralığı, bir alternansın yarısı yani bir periyodun dörtte biri olup 0,5ms' dir.

t₀ ≤ t ≤ t₁ aralığı için

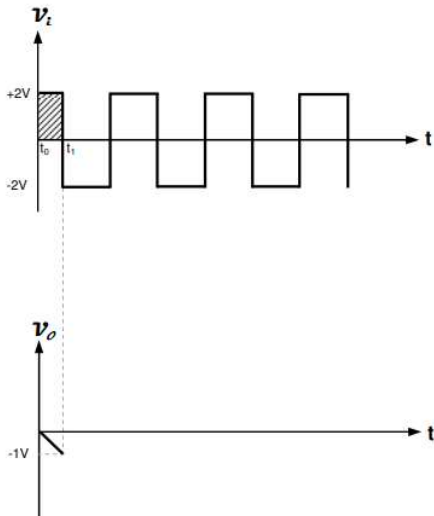
$$v_o(t_1) = -\frac{1}{RC} \int_{t_0}^{t_1} v_i dt + v_o(t_0)$$

$$v_o(t_1) = -\frac{1}{RC} v_i (t_1 - t_0) + v_o(t_0)$$

$$v_o(t_1) = -\frac{v_i(t_1-t_0)}{RC} + v_o(t_0)$$

$$v_o(t_1) = -\frac{2(0,5 \cdot 10^{-3})}{(10 \cdot 10^3)(100 \cdot 10^{-9})} + 0$$

$$v_o(t_1) = -1 V$$



t₁-t₂ aralığı, bir alternans yani bir periyodun yarısı olup 1ms' dir.

t₁ ≤ t ≤ t₂ aralığı için

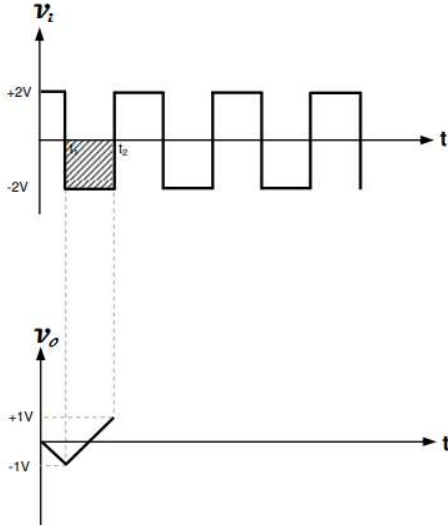
$$v_o(t_2) = -\frac{1}{RC} \int_{t_1}^{t_2} v_i dt + v_o(t_1)$$

$$v_o(t_2) = -\frac{1}{RC} v_i(t_2 - t_1) + v_o(t_1)$$

$$v_o(t_2) = -\frac{v_i(t_2 - t_1)}{RC} + v_o(t_1)$$

$$v_o(t_2) = -\frac{-2(1.10^{-3})}{(10.10^3)(100.10^{-9})} + (-1)$$

$$v_o(t_2) = +1 V$$



t_2 - t_3 aralığı, bir alternans yani bir periyodun yarısı olup 1ms' dir.

$t_2 \leq t \leq t_3$ aralığı için

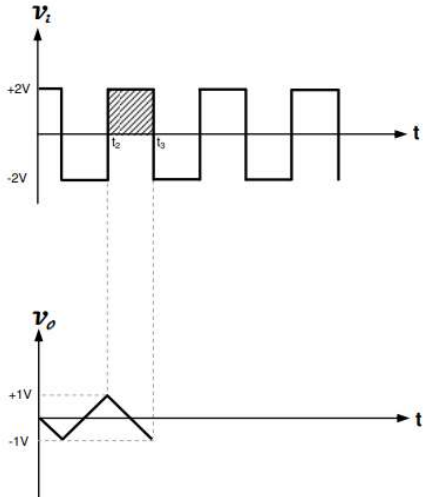
$$v_o(t_3) = -\frac{1}{RC} \int_{t_2}^{t_3} v_i dt + v_o(t_2)$$

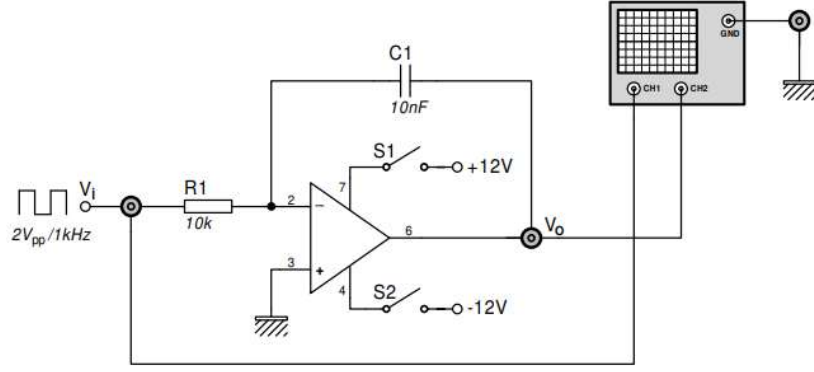
$$v_o(t_3) = -\frac{1}{RC} v_i(t_3 - t_2) + v_o(t_2)$$

$$v_o(t_3) = -\frac{v_i(t_3 - t_2)}{RC} + v_o(t_2)$$

$$v_o(t_3) = -\frac{+2(1.10^{-3})}{(10.10^3)(100.10^{-9})} + (+1)$$

$$v_o(t_3) = -1 V$$



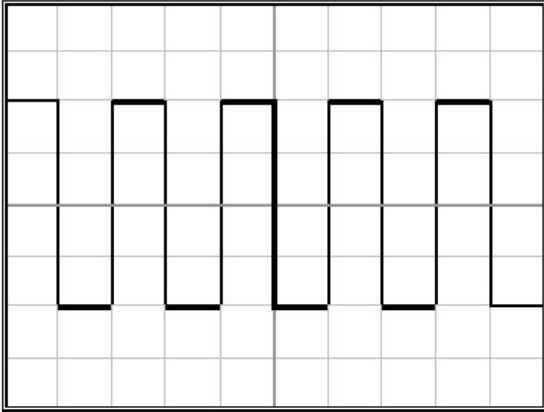


Şekil 9.3. Devre şeması

Deney Yapılışı

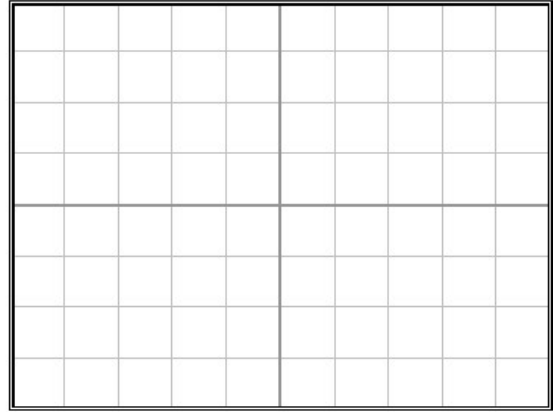
1. S_1 ve S_2 anahtarlarını kapatarak devreye enerji veriniz.
2. Devrenin girişine $2V_{PP}/1kHz$ kare dalga sinyal uygulayınız.
3. Devrenin çıkışını osilaskopla ölçerek, çıkış sinyalini çiziniz.
4. Giriş sinyalinin frekansını arttırarak çıkış sinyalindeki değişimi gözlemleyiniz.
5. Devrenin girişine $2V_{PP}/1kHz$ üçgen dalga sinyal uygulayınız.
6. Devrenin çıkışını osilaskopla ölçerek, çıkış sinyalini çiziniz.
7. Giriş sinyalinin frekansını arttırarak çıkış sinyalindeki değişimi gözlemleyiniz.
8. Devrenin girişine $2V_{PP}/1kHz$ sinüs dalga sinyal uygulayınız.
9. Devrenin çıkışını osilaskopla ölçerek, çıkış sinyalini çiziniz.
10. Giriş sinyalinin frekansını arttırarak çıkış sinyalindeki değişimi gözlemleyiniz.

V_i



$V/d: 0.5V$ $T/d: 0.5 ms$

V_o



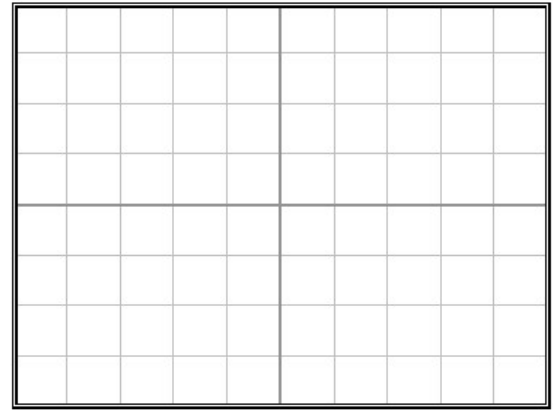
$V/d:$ $T/d:$

V_i



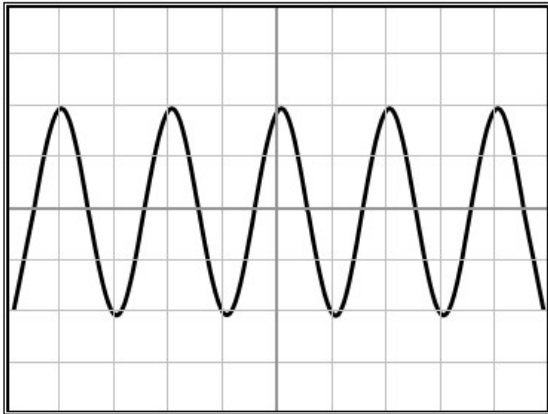
$V/d: 0.5V$ $T/d: 0.5 ms$

V_o



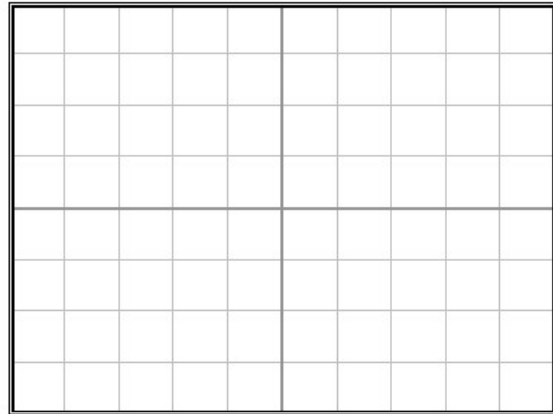
$V/d:$ $T/d:$

V_i



$V/d: 0.5V$ $T/d: 0.5 ms$

V_o

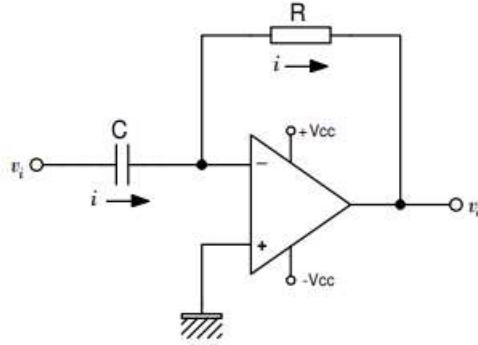


$V/d:$ $T/d:$

Deney No:	10
Deney Adı:	Türev Devresi

Teorik Bilgi:

Türev devresi şekil 10.1’ de görülmektedir.



Şekil 10.1. Türev devresi

OP AMP girişleri akım çekmediğinden, devredeki direnç ve kondansatör üzerinden geçen akımlar birbirine eşittir.

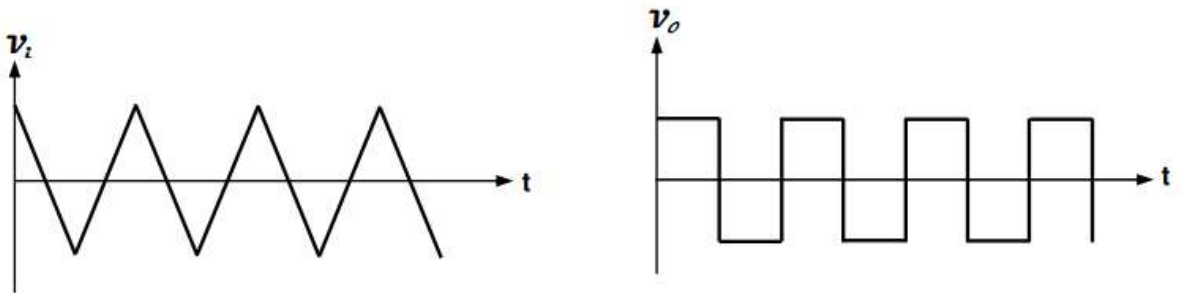
$$i = C \frac{dv_i}{dt}$$

Devrenin çıkış gerilimi direnç üzerindeki gerilime eşit olup 180o faz farklıdır. Buna göre devrenin çıkış gerilimi,

$$v_o = -Ri$$

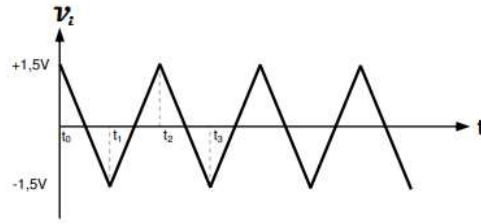
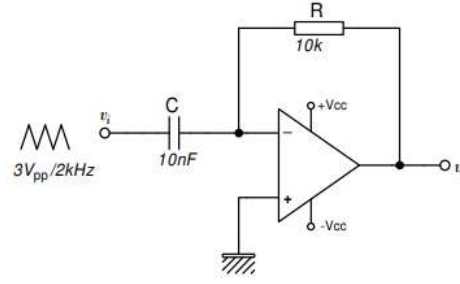
$$v_o = -RC \frac{dv_i}{dt} \text{ olarak bulunur.}$$

dv_i / dt ifadesi giriş sinyalinin türevi olup, çıkış gerilimini doğrudan belirlemektedir. Devre, girişine uygulanan üçgen dalgayı kare dalgaya çevirirken, girişine uygulanan kare dalgayı ise pozitif ve negatifpalslere çevirmektedir. Ayrıca girişe uygulanan sinüs dalga sinyaller için yüksek geçiren filtre olarak çalışır.



Şekil 10.2. Türev devresi giriş-çıkış sinyalleri

Örnek: Şekildeki devrenin çıkış sinyalini çiziniz.



Devre girişine uygulanan üçgen dalga sinyalin frekansı 2 kHz olduğuna göre, periyodu

$$T = \frac{1}{f} = \frac{1}{2000} = 0,0005s = 0,5ms$$

t_0 - t_1 aralığı, bir periyodun yarısı olup 0,25ms' dir.

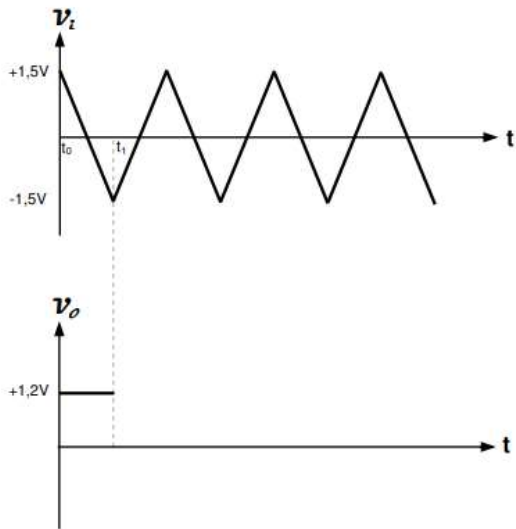
$t_0 \leq t \leq t_1$ aralığı için

$$\frac{dv_i}{dt} = \frac{\Delta v_i}{\Delta t} = \frac{v_i(t_1) - v_i(t_0)}{t_1 - t_0} = \frac{(-1.5 - 1.5)}{0,25 \cdot 10^{-3}} = -12000$$

$$v_o(t_1) = -RC \frac{dv_i}{dt}$$

$$v_o(t_1) = -(10 \cdot 10^3)(10 \cdot 10^9)(-12000)$$

$$v_o(t_1) = +1,2V$$



t₁-t₂ aralığı, bir periyodun yarısı olup 0,25ms' dir.

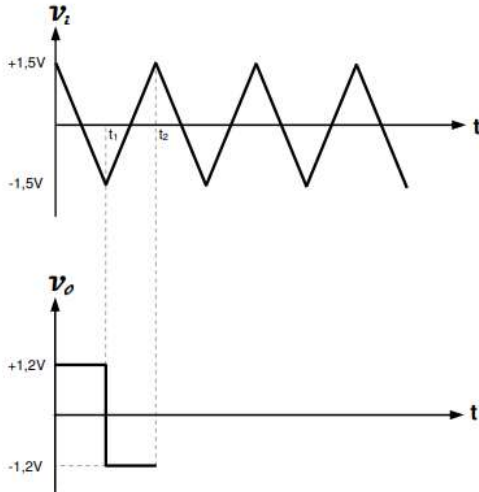
t₁ ≤ t ≤ t₂ aralığı için

$$\frac{dv_i}{dt} = \frac{\Delta v_i}{\Delta t} = \frac{v_i(t_2) - v_i(t_1)}{t_2 - t_1} = \frac{(1.5 - (-1.5))}{0,25 \cdot 10^{-3}} = 12000$$

$$v_0(t_2) = -RC \frac{dv_i}{dt}$$

$$v_0(t_2) = -(10 \cdot 10^3)(10 \cdot 10^9)(12000)$$

$$v_0(t_1) = -1,2V$$



t₂-t₃ aralığı, bir periyodun yarısı olup 0,25ms' dir.

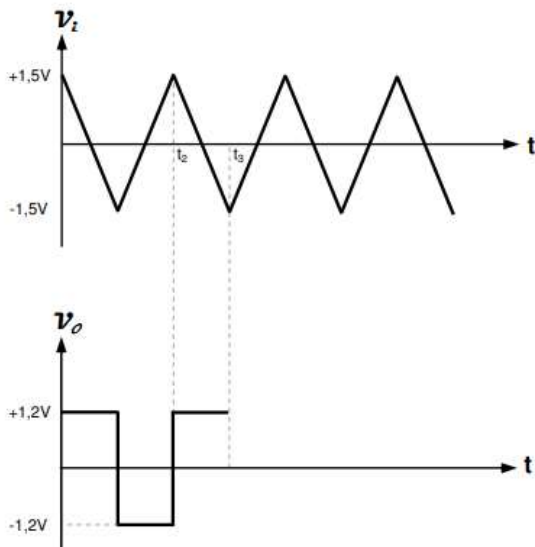
t₂ ≤ t ≤ t₃ aralığı için

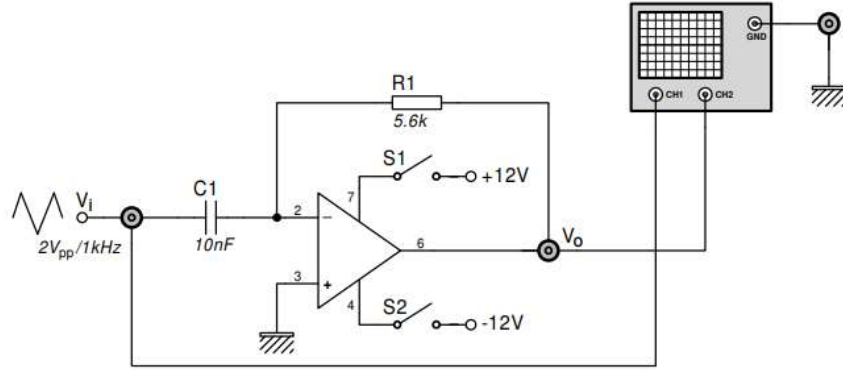
$$\frac{dv_i}{dt} = \frac{\Delta v_i}{\Delta t} = \frac{v_i(t_3) - v_i(t_2)}{t_3 - t_2} = \frac{(-1.5 - 1.5)}{0,25 \cdot 10^{-3}} = -12000$$

$$v_0(t_2) = -RC \frac{dv_i}{dt}$$

$$v_0(t_2) = -(10 \cdot 10^3)(10 \cdot 10^9)(12000)$$

$$v_0(t_1) = +1,2V$$



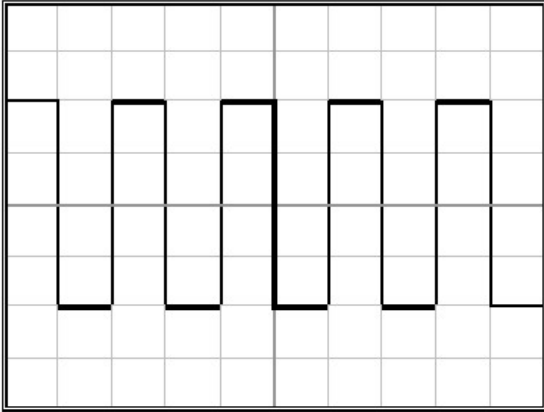


Şekil 10.3. Deney şeması

Deney Yapılışı

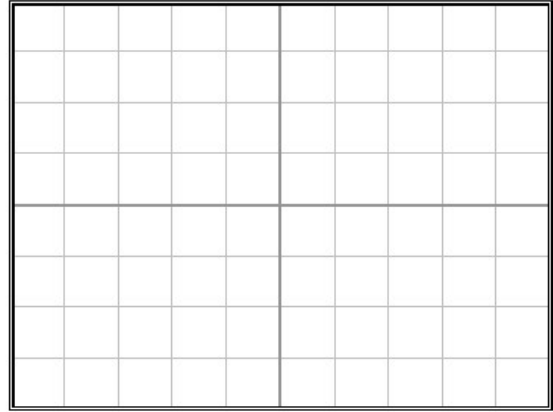
1. S_1 ve S_2 anahtarlarını kapatarak devreye enerji veriniz.
2. Devrenin girişine $2V_{pp}/1kHz$ kare dalga sinyal uygulayınız.
3. Devrenin çıkışını osilaskopla ölçerek, çıkış sinyalini çiziniz.
4. Giriş sinyalinin frekansını arttırarak çıkış sinyalindeki değişimi gözlemleyiniz.
5. Devrenin girişine $2V_{pp}/1kHz$ üçgen dalga sinyal uygulayınız.
6. Devrenin çıkışını osilaskopla ölçerek, çıkış sinyalini çiziniz.
7. Giriş sinyalinin frekansını arttırarak çıkış sinyalindeki değişimi gözlemleyiniz.
8. Devrenin girişine $2V_{pp}/1kHz$ sinüs dalga sinyal uygulayınız.
9. Devrenin çıkışını osilaskopla ölçerek, çıkış sinyalini çiziniz.
10. Giriş sinyalinin frekansını arttırarak çıkış sinyalindeki değişimi gözlemleyiniz.

V_i



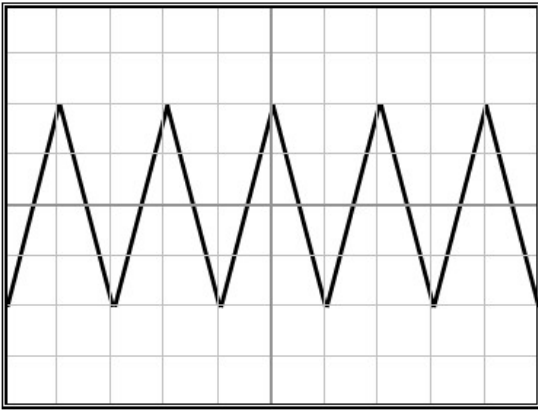
$V/d: 0.5V$ $T/d: 0.5 ms$

V_o



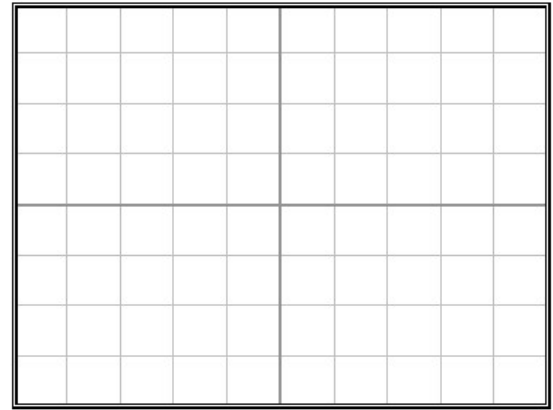
$V/d:$ $T/d:$

V_i



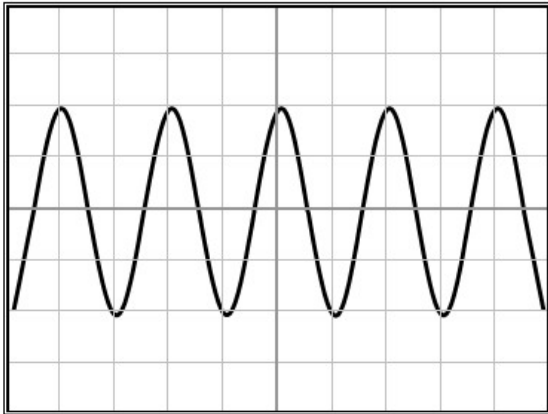
$V/d: 0.5V$ $T/d: 0.5 ms$

V_o



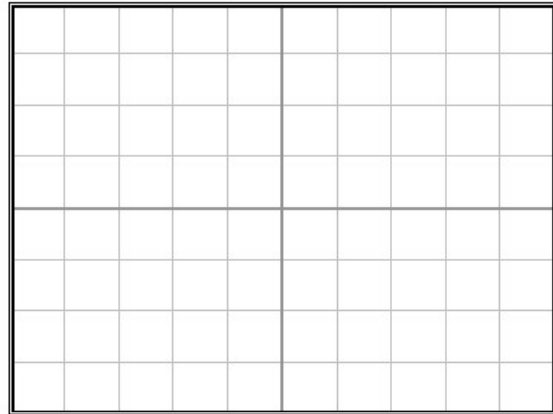
$V/d:$ $T/d:$

V_i



$V/d: 0.5V$ $T/d: 0.5 ms$

V_o

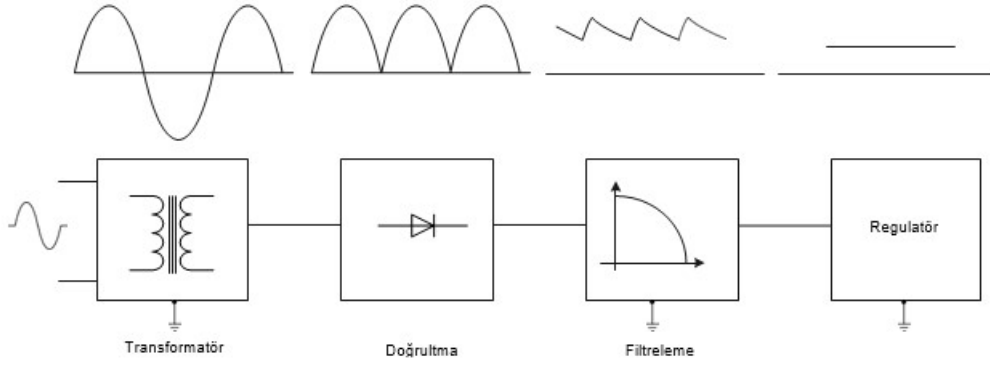


$V/d:$ $T/d:$

Deney No:	11
Deney Adı:	Gerilim Regüle Devreleri

Teorik Bilgi:

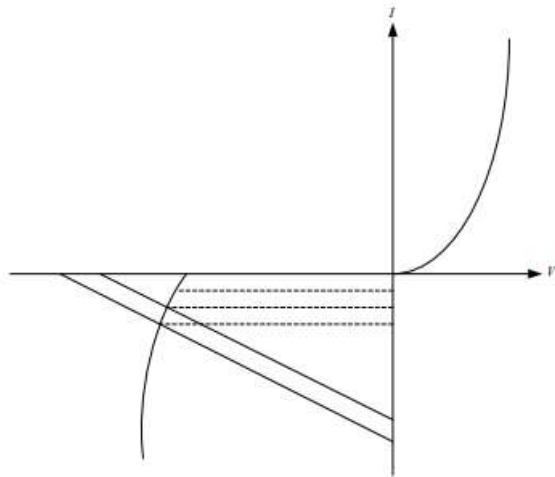
Elektronik devrelerin besleme gerilimleri alternatif gerilimlerin doğrultulması ile elde edilebilir. Doğrultma ile ortalaması sıfır olan işaretten ortalaması sıfırdan farklı bir işaret elde edilir. Alternatif gerilimi doğru gerilime çeviren ve gerekli regülasyonu sağlayan blok diyagramı Şekil 11.1'de verilmiştir.



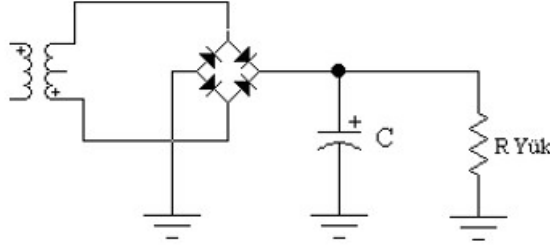
Şekil 11.1. Regülasyonu sağlayan blok diyagramı

Zener Diyotlu Gerilim Regülatörleri

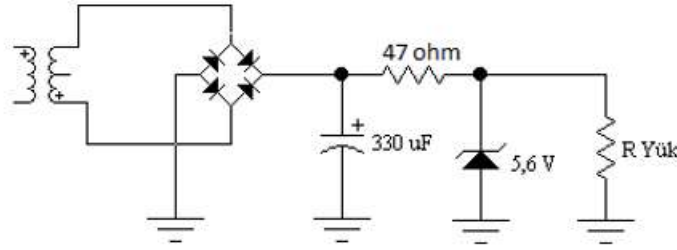
Gerilim regülasyonu çıkıştaki yüke uygulanan gerilim değerinin yük veya şebeke gerilimi değişse bile sabit tutulmasıdır. Zener diyot tıkama yönünde belirli bir gerilimde bel verecek şekilde tasarlanır ve üretilir. Bel verme bölgesinde Zener diyotun uçlarındaki gerilim, akıttığı akım ile çok az değişir.



Şekil 11.2. Zener diyot karakteristiği



Şekil 11.3. Kondansatörlü filtreleme devresi



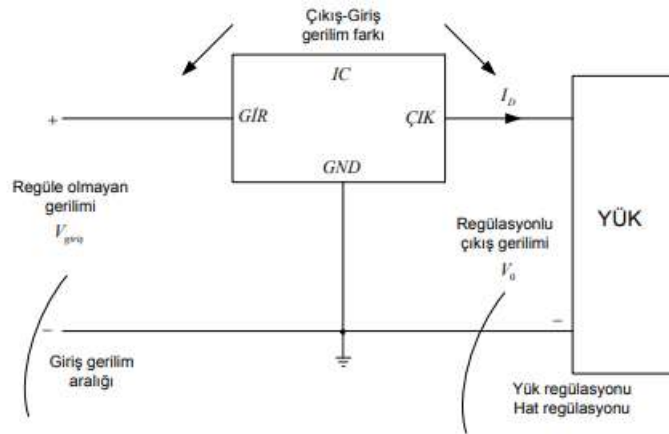
Şekil 11.4. Zener Diyot ile gerçekleştirilen en basit regülasyon devresi

Zener diyot ile gerçekleştirilen en basit regülasyon devresi Şekil 11.4’de verilmiştir.

Entegre Devre Gerilim Regülatörleri

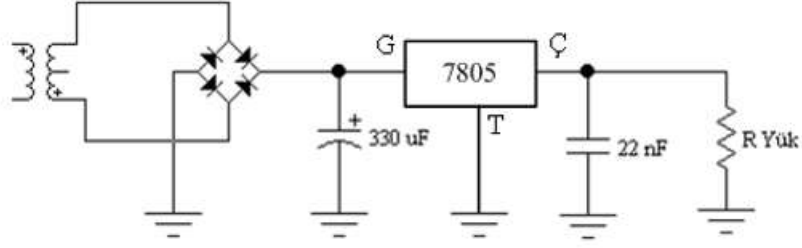
Belli bir yük akımı aralığında bir sabit gerilim veren gerilim regülatörleri şematik olarak Şekil 11.7’de gösterilmiştir. Sabit gerilim regülatörü, uçlarından birine uygulanan regülasyonsuz bir gerilimi ($V_{giriş}$) alır ve ikinci uçundan regülasyonlu bir çıkış gerilimi (V_o) üretir, üçüncü uç ise toprağa bağlıdır.

Belli bir IC biriminin eleman özellikleri verilirken bir gerilim aralığı belirtilir giriş gerilimi bu aralık içinde, belli bir I_o yük akımı aralığında regülasyonlu çıkış gerilimi V_o korunacak şekilde değişebilir.



Şekil 11.5. Üç uçlu entegre devre gerilim regülatörlerinin şematik gösterimi

Sabit gerilim regülatörlerinin bir grubu, 5 V’tan 24 V’a kadar sabit gerilim sağlayan 78XX ve -5 V’tan -24 V’a kadar negatif regülasyonsuz çıkış sağlayan 79XX serileridir.



Şekil 11.6. Uygulama devresi



Şekil 11.7. 78XX ve 79XX sabit gerilim regülatörleri ve bağlantı uçları

Deney Yapılışı

1. Şekil 11.3'te görülen kondansatörlü filtreleme devresini $C=330 \mu\text{F}$ ve yük direnci 220Ω için kurunuz. Yük üzerindeki doğrultulmuş gerilimi osiloskop yardımıyla görüntüleyerek genliğini belirleyiniz. Aynı işlemi yük direncinin $1 \text{ k}\Omega$ olduğu durum için tekrarlayınız. Çıkış dalga formlarının dalgalılığını inceleyiniz.
2. Şekil 11.4'da görülen devreyi kurunuz. Yük direncinin iki farklı değeri 220Ω ve $1 \text{ k}\Omega$ için çıkış dalga formunun genliğini ve dalgalılığını gözlemleyiniz.
3. Şekil 11.6'da görülen devreyi 7805 entegresini kullanarak board üzerine kurunuz. Yük direncinin iki farklı değeri 220Ω ve $1 \text{ k}\Omega$ için çıkış dalga formunun genliğini ve dalgalılığını gözlemleyiniz.